

ЖУРНАЛ ИЗДАЕТСЯ ПРИ ИНФОРМАЦИОННОЙ ПОДДЕРЖКЕ НИИ ПРИКЛАДНЫХ ФИЗИЧЕСКИХ ПРОБЛЕМ ИМ. А.Н.СЕВЧЕНКО И КАФЕДРЫ ИНТЕЛЛЕКТУАЛЬНЫХ СИСТЕМ БЕЛГОСУНИВЕРСИТЕТА

Электроника

июнь 2003

№6 (56)

Зарегистрирован
Государственным комитетом
Республики Беларусь по печати
Регистрационный № 1067,
10 декабря 1997 года.

Редакционная коллегия:

М.В.Башура
e-mail: electro@bek.open.by
electronica@nsys.by

А.Ф.Чернявский
Академик НАН Беларуси, доктор
технических наук

В.С.Садов
Кандидат технических наук

Е.В.Галушко
Кандидат технических наук

В.А.Хацук
e-mail: vah@scan.ru

Учредители:

Н.А.Фомин
С.Ю.Муромцева

Журнал «Электроника»
издается при
УП «Белэлектронконтракт»
220015, Республика Беларусь,
г. Минск, пр. Пушкина, 29Б
тел. + 375 (0) 17 251-67-35
<http://electronica.nsys.by>

Официальный провайдер:



Network Systems

(017) 283-17-11

© Перепечатка материалов,
опубликованных в журнале
«Электроника», допускается
с разрешения редакции.

За содержание рекламных
материалов редакция
ответственности не несет.

Наш подписной индекс в РБ:
74857
для предприятий: **748572**

Тираж: 4000 экз.

Подготовка, печать:

1200 экз. отпечатано тип.

ООО «Полиграфт»

г. Минск, ул. Я. Колоса, 73-327

Лицензия ЛП № 394 от 10.05.2000г.

Подписано в печать 25.06.2003г.

Заказ №

содержание :

ВЫСТАВКИ	
ИТОГИ ВЫСТАВКИ «ЭКСПОЭЛЕКТРОНИКА-2003» (г. МОСКВА)	2
НОВОСТИ ОТ IR	4
RSPICE 4.03 ДЛЯ НАЧИНАЮЩИХ	
СХЕМОТЕХНИЧЕСКИЕ СПОСОБЫ БОРЬБЫ С ЗАЩЕЛКИВАНИЕМ В КАСКАДАХ С IGBT ТРАНЗИСТОРАМИ А.И. Колпаков, г. Санкт-Петербург	6
ПЛИС	
НОВОЕ СЕМЕЙСТВО ПЛИС СТРУКТУРЫ FPGA SPARTAN-3 Виталий Хацук, г. Минск	10
НОВОСТИ ОТ MOLEX	13
КОРПУСА	
КОРПУСА ЭЛЕКТРОИЗДЕЛИЙ ДЛЯ УСТАНОВКИ НА DIN-ШИНУ M36 КОРПУСА ДЛЯ ИЗДЕЛИЙ С ЦИФРОВОЙ ИНДИКАЦИЕЙ И КЛАВИШАМИ УПРАВЛЕНИЯ КОРПУСА ДЛЯ ИЗДЕЛИЙ С ЦИФРОВОЙ ИНДИКАЦИЕЙ	14
ДАТЧИКИ	
ДАТЧИКИ ВЛАЖНОСТИ СЕРИИ HIH-3610 ФИРМЫ HONEYWELL Андрей Зеленко, г. Минск	16
МИКРОСХЕМЫ	
ОДНОКРИСТАЛЬНЫЙ USB-UART ПРЕОБРАЗОВАТЕЛЬ CP2101 ПРОИЗВОДСТВА КОМПАНИИ SYGNAL А.А.Шевурдин, г. Минск	17
ПРЕДСТАВЛЕНИЕ ФИРМЫ	
ФОРМУЛА УСПЕХА «ЛИТОПЛАСТА» Дарья Солдатова, г. Минск	18
КОММУТАЦИОННЫЕ УСТРОЙСТВА	
РАЗМЫКАТЕЛИ С ПЛАВКИМИ ПРЕДОХРАНИТЕЛЯМИ SILAS ФИРМЫ WEBER	19
ДАТЧИКИ И ОБОРУДОВАНИЕ	
ДАТЧИКИ И ИНФОРМАЦИОННО-ИЗМЕРИТЕЛЬНЫЕ СИСТЕМЫ ФИРМЫ «РИФТЭК»	21
НОВОСТИ ОТ INTEL	22
GLOSSARY/ГЛОССАРИЙ	24
НОВОСТИ ОТ ATMEL	27
ИНФОРМАЦИОННЫЕ СИСТЕМЫ	
БЕСПРОВОДНЫЕ ИНФОРМАЦИОННО-ВЫЧИСЛИТЕЛЬНЫЕ СЕТИ Л.Н. Величко, Л.П. Качура, Ю.Н. Метлицкий, В.О. Чернышев, г. Минск	28
СХЕМОТЕХНИКА	
ПОМЕХОУСТОЙЧИВАЯ СХЕМА ЗАПУСКА ИГНИТРОНА В.К. Гончаров, В.В. Захожий, В.В. Макаров	30
ПРОЦЕССОРЫ	
АРХИТЕКТУРНЫЕ ОСОБЕННОСТИ ADSP-21160 SHARC ФИРМЫ ANALOG DEVICES В.А. Новиков, К.Г. Климович, г. Минск	32
НАУКА	
ДВУХЛУЧЕВАЯ АДАПТИВНАЯ АНТЕННАЯ РЕШЕТКА АВТОСОПРОВОЖДЕНИЯ ЦЕЛЕЙ И ЕЕ FPGA РЕАЛИЗАЦИЯ И.Ю. Люзин, С.В. Курило, г. Минск	38
ПРЕДСТАВЛЕНИЕ ФИРМЫ	
О КОМПАНИИ FASTWEL	42
РЕКОМЕНДАЦИИ ПО ВЫБОРУ IR	
МОП-ТРАНЗИСТОРЫ И ДРАЙВЕРЫ ДЛЯ АУДИОУСИЛИТЕЛЕЙ Владимир Башкиров, г. Москва	43



ИТОГИ ВЫСТАВКИ «ЭКСПОЭЛЕКТРОНИКА-2003» (г. МОСКВА)

E·X·P·O ELECTRONICA

С 28 по 31 мая в Москве в СК Олимпийский прошла 6-ая международная специализированная выставка электронных компонентов «ЭкспоЭлектроника».

Выставка собрала около 400 ведущих компаний – производителей и крупнейших дистрибьюторов электронных компонентов, работающих на российском рынке. Участники приехали на выставку из 20 стран мира.

Организаторы выставки – международная выставочная компания «Примэкспо» и британская компания ITE Group при поддержке Министерства промышленности, науки и технологий РФ, Министерства экономического развития и торговли РФ, Федерального фонда развития электронной техники РФ, АО «Российская Электроника», Управления электронной промышленности Российского агентства систем управления, внешнеторгового объединения «Электронинторг» и Ассоциации российских дистрибьюторов.

В этом году выставка заняла 9 000 квадратных метров выставочной площади и за 4 дня работы привлекла более 27 000 посетителей – специалистов, занятых в различных промышленных отраслях: топливно-энергетическом комплексе, ВПК, машино- и приборостроении, телекоммуникационной отрасли и пр.

Как отметил г-н Клебанов, «Выставка «ЭкспоЭлектроника» является эффективным и низкокзатратным инструментом, позволяющим российским производителям электронных компонентов и технологического оборудования продемонстрировать свои последние достижения, повысить продажи на отечественном и мировом рынках и укрепить деловые и кооперационные связи с участниками рынка электроники».

троники».

В церемонии официального открытия выставки, состоявшейся в СК Олимпийский, приняли участие: Козлов Г.В., генеральный директор РАСУ, Дшхунян В.Л., генеральный директор ОАО «Российская Электроника», Курляндский А.С., генеральный директор ВО «Электронинторг», Эдвард Строон, генеральный директор ООО ПРИМЭКСПО, Любина И.А., директор выставки «ЭкспоЭлектроника».

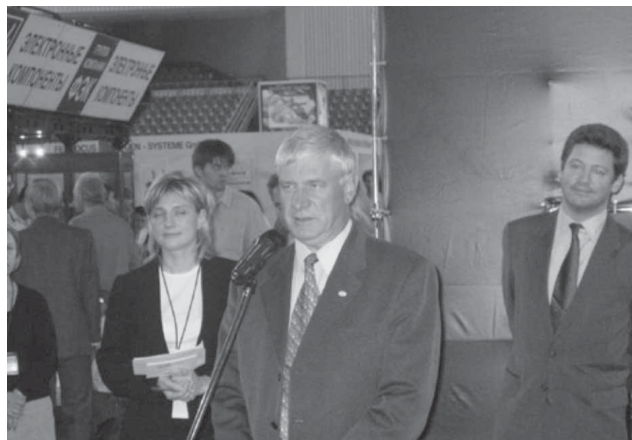
В приветственных речах было отмечено, что «ЭкспоЭлектроника» является крупнейшей в России выставкой электронных компонентов, ежегодно собирающей на своей площадке крупнейших производителей и дистрибьюторов, дающей возможность профессионального общения специалистам отрасли. Что касается особенностей выставки этого года, были особо отмечены сугубо деловая атмосфера и возросшая активность участников выставки.

Из яркого многообразия выставочных стендов организаторами были отмечены наиболее оригинальные. Памятными дипломами награждены компании: «Фирма Овен», ЗАО «АСС», «Сигма-Ресурс», «Микро ЭМ», РТД «Универсал», «Дектел Электроникс», «Полисэт», «Прософт», «ЭкиТ», «Универсалприбор».

На «ЭкспоЭлектронике-2003» впервые отдельной секцией представлено оборудование и материалы для электронного и электротехнического производства – «ЭлектронТехЭкспо».

Выставку традиционно сопровождала деловая программа специализированных семинаров, конференций и презентаций лидеров отрасли – компаний STMicroelectronics, Hitachi / Renesas, INTEL, Molex, «Петроинтрейд», «Рейнбоу Текнолоджис», «ПЭК».

Вот, что говорят участники «ЭкспоЭлектроники»



о выставке 2003 года:

«Мы участвуем во многих европейских выставках электронных компонентов. «ЭкспоЭлектроника» удивила нас профессионализмом, уровнем посетителей и радушием организаторов выставки по отношению к участникам», -- Эвелин Джавалая, директор по международному маркетингу Royal Electronic FTY Co Ltd (Thailand).

«Посетителей на выставке много, причем это специалисты, занятые в отрасли», -- Чурсина И.Э., заместитель генерального директора ЗАО «Прист» (Москва).

«Нельзя не отметить уровень организации выставки, удобное построение стендов, очень удобна система поиска. Удачно выбрано место проведения выставки», -- Мошнова М.В., администратор отдела продаж и маркетинга ЗАО «ПЭК» (Санкт-Петербург).

«На выставке понравилось все. Довольны организацией. Обязательства выполняются. Посетителей на нашем стенде было много, география - Москва, Московская область, Беларусь, Украина, Урал, Северо-Запад и др.», -- Шевцова Елена, менеджер рекламного отдела компании АСС (Москва).

«Отдача от «ЭкспоЭлектроники» для нас больше, чем от других российских выставок сходных тематик. Выставка отличается деловым характером, удобно, не шумно, можно серьезно работать. Среди посетителей есть и специалисты отрасли, и руководители предприятий со всей России», -- Стародубцев В.Н., главный специалист ООО «Мастер-Тул» (Москва).

«На выставке мы подписали два новых контракта: с компаниями Амфенол (США) и Селма (Япония), о которых только думали, но еще не планировали. Для нас выставка имеет грандиозный успех. Выставка подчеркнута деловая, не является так называемой «ярмаркой тщеславия», как многие российские выставки связи. «ЭкспоЭлектроника» действительно работает. Мы достигли поставленных целей, нашли новых клиентов. Считаем, что деньги вложены с огромной пользой, мы инвестировали их в будущее», -- Малкин В.А., заместитель генерального директора компании «Аркос» (Москва).

По итогам выставки 95% участников этого года заявили об участии в «ЭкспоЭлектронике-2004». Таким образом, 90% площадей выставки будущего года уже забронировано.



96% участников удовлетворены количеством посетителей и 98% участников отметили высокий уровень компетентности посетителей выставки.

90,2% участников ставили своей целью установление новых деловых контактов, 67,1% - представление новой продукции и/или услуг, 67% - поддержание имиджа компании, 54,3% - получение информации о рынке, 49,4% - заявить о своей компании, 46,3% - изучение конкурентов, 40,2% - продажа продукции и / или услуг.

Директор выставки, Ирина Любина, отметила, что «Являясь профессиональным организатором международных специализированных выставок, наша компания ежегодно проводит более 250 выставок в 30 странах мира, мы изначально придаем очень большое значение московской «ЭкспоЭлектронике». Приятно сознавать, что наш опыт и профессионализм служат развитию стратегической для России отрасли»

Посетители

География посетителей

	%
Москва	45,1
Центральный округ	17,7
Нижний Новгород и Поволжский округ	10,2
Санкт-Петербург и Северо-Запад	7,6
СНГ	3,3
Екатеринбург и Уральский округ	5,2
Ростов-на-Дону и Северо-Кавказский округ	1,5
Новосибирск и Сибирский округ	8,1
Прибалтика	0,5
Хабаровск и Дальневосточного округа	0,3
Зарубежье	0,5

Прогноз развития выставки «ЭкспоЭлектроника-2004»:

Основываясь на проведенных исследованиях и пожеланиях участников выставки этого года, организаторы заявляют на будущий год новые разделы:

- системы промышленной автоматизации;
- интеллектуальные карты;
- гибридные технологии и диагностические системы.

Отдельный акцент будет сделан на разделы:

- автомобильная электроника;
- программные продукты;
- источники питания.

«ЭкспоЭлектроника-2004» пройдет с 25 по 28 мая в СК Олимпийский.

Редакция.

XPPhase™ - НОВАЯ АРХИТЕКТУРА МНОГОФАЗНЫХ ПОНИЖАЮЩИХ DC/DC КОНВЕРТОРОВ

E-mail: fek@fek.by.com

Корпорация International Rectifier разработала чрезвычайно гибкую архитектуру для понижающих многофазных DC/DC конверторов с числом фаз один и более, получившую название XPPhase™.

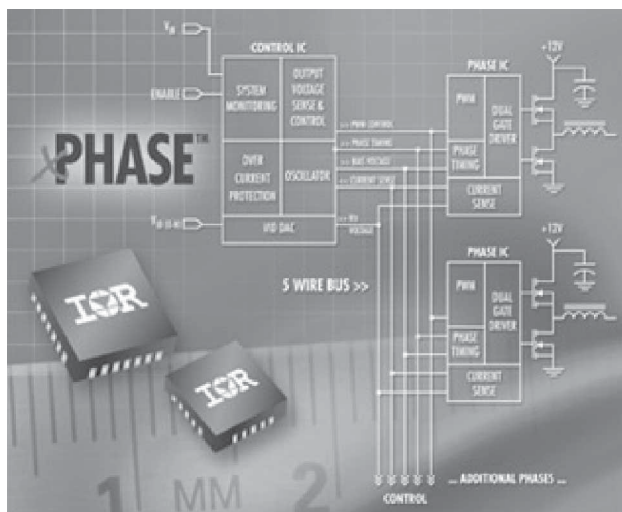
Первый их чипсетов XPPhase состоит из управляющей ИС IR3081 и фазовой ИС IR3086. Он обеспечивает высококачественное техническое решение, удовлетворяющее требованиям спецификаций VRM10.0 или VRD/EVRD 10.0 для питания новейших микропроцессоров, используемых в серверах и high-end десктопах. В то время как другие схемы

ликвидировать паразитные индуктивности и помехи и улучшить топологию печатной платы.

Управляющая ИС IR3081 в 28-выводном корпусе типа MLPQ содержит все необходимое для управления конверторов с использованием единственной ИС, включая резисторы источника напряжения идентификации (VID), встроенный ШИМ-генератор, усилитель ошибки, источник опорного напряжения, обнаружение недопустимых режимов и другие необходимые функции.

Фазовая ИС IR3086 в 20-выводном корпусе MLPQ обеспечивает управление фазой многофазного конвертора и ее мониторинг. ИС IR3086 содержит все необходимые узлы и функции для управления фазой, включая драйверы затворов, ШИМ-компаратор и защелку, узел защиты от перенапряжения, узел измерения и деления тока, узел программируемой температурной защиты. Запатентованный метод управления, получивший название «body braking control» позволяет примерно в 2 раза снизить число витков дросселя, повышая время отклика и КПД. Этот метод основан на выключении силового МОП-транзистора, используемого в качестве ключа синхронного выпрямления, на основе информации о существенном снижении тока нагрузки. Помимо существенного уменьшения габаритов дросселей применение этого метода позволяет снизить требования и к выходным конденсаторам, снижая габариты и цену комплектации. Для обеспечения высокоточного разделения тока по фазам вплоть до скважности в 100%, которое является одной из основных проблем многофазных конверторов, в архитектуре XPPhase предусмотрено измерение среднего тока дросселя.

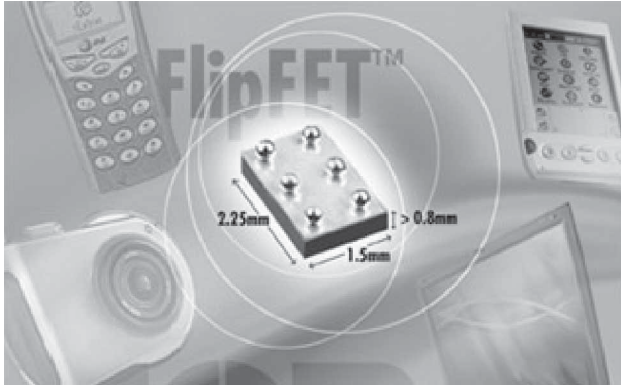
100-амперный 6-фазный конвертер на базе XPPhase чипсет IR3081 и IR3086 силовых МОП-транзисторах DirectFET (IRF6602 –управляющий ключ и IRF6601 –ключ синхронного выпрямления) обеспечивает КПД 84% при менее чем 4% вариации фазы тока и среднего тока в фазах конвертора. По оценке специалистов IR архитектура XPPhase является техническим решением, которое обеспечит максимальную гибкость при проектировании и наилучшие технические параметры многофазных понижающих DC/DC конверторов узлов питания не только современных процессоров но и на длительную перспективу.



управления ограничивают число фаз тремя-четырьмя, архитектура XPPhase предлагает гибкое решение для многофазных схем, позволяющее адаптироваться к непрерывным изменениям требований по питанию ядра процессоров новых поколений. Архитектура XPPhase предусматривает наличие управляющей ИС, которая осуществляет связь с фазовой ИС посредством простой 5-проводной шины. Число фаз может быть увеличено или уменьшено без изменения основополагающей топологии схемы и печатной платы. Пятипроводная аналоговая шина предназначена для задания опорного напряжения, фазовой синхронизации сигналов, передачи информации о средней величине тока, передачи информации усилителя ошибки на выходе и задания напряжения идентификации. Исключение непосредственной связи между управляющей и фазовой ИС и переход на применение 5-проводной шины позволяет уменьшить длину проводников,

СДВОЕННЫЙ N-/P-КАНАЛЬНЫЙ МОП-ТРАНЗИСТОР ТИПА FLIPFET™ С ПЛОЩАДЬЮ НА 80% МЕНЬШЕ КОРПУСА TSSOP-8

Корпорация International Rectifier анонсировала сдвоенный 20-вольтовый силовой МОП-транзистор IRF6156, с площадью на 80% чем у приборов в малогабаритном корпусе TSSOP-8 и с габаритной высотой менее 0,8мм.



Новый прибор содержит N- и P-канальный силовые МОП-транзисторы с общим стоком. IRF6156 относится к

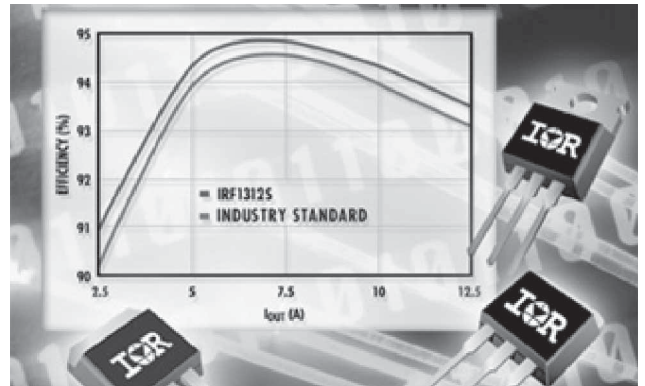
группе приборов с виртуальным корпусом типа FlipFET™, имеющих в своем классе минимальную площадь и высоту. Минимальные габариты делают новый прибор идеальным элементом для применения в узлах управления и защиты Li-ion батарей ноутбуков, карманных компьютеров, цифровых камер и сотовых телефонов. В Li-ion батарее, где существует опасность воспламенения, схема защиты должна предотвращать перезаряд, и реагировать на короткое замыкание или отсоединение нагрузки. В приборах FlipFET сам кристалл является корпусом и поэтому тепловое сопротивление кристалл-корпус снижено до 35°C/Вт по сравнению с 60°C/Вт для корпуса SO-8, а термосопротивление кристалл-окружающая среда не превышает 50°C/Вт. Из-за отсутствия корпуса и расположения шариковых выводов на одной плоскости у IRF6156 минимизированы паразитные факторы, в первую очередь паразитные индуктивности.

Транзисторы нормированы на максимальное сопротивление открытого канала 34мОм при напряжении 4,5В на затворе и ток истока 6,7А при этом напряжении и температуре 25°C.

80-ВОЛЬТОВЫЕ МОП-ТРАНЗИСТОРЫ ДЛЯ ПЕРВИЧНЫХ И ВТОРИЧНЫХ ЦЕПЕЙ ИЗОЛИРОВАННЫХ DC/DC КОНВЕРТОРОВ

Корпорация International Rectifier анонсировала силовой МОП-транзистор IRF1312, нормированный на пробивное напряжение сток-исток 80В, который может быть использован в первичных или вторичных цепях изолированных DC/DC конверторов для питания сетевого и телекоммуникационного оборудования.

В первичных цепях IRF1312 может быть использован при максимальном входном напряжении до 60В, поэтому он является наиболее подходящим транзистором для полумостовых и мостовых схем со входным напряжением от 36 до 60В или питанием от регулируемой шины 48В. По сравнению с 75-вольтовыми транзисторами это дает дополнительно 6% запас по напряжению, где максимальное входное напряжение ограничено 56В. Во вторичных цепях IRF1312 может быть использован в схемах с максимальным выходным напряжением 15В и



повышает на 0.4% КПД по сравнению с 75-вольтовыми транзисторами при выходном напряжении 12В. Это является следствием низкого сопротивления канала (10мОм) и зарядов затора ($Q_g=93нК$, $Q_{gd}=34нК$). Новый транзистор выпускается в корпусах TO-220AB, D2Pak и TO-262.



Автоматическая антивирусная проверка всей почты
Уведомление на пейджер или GSM о поступлении новой почты
Подключение локальных сетей и почтовых доменов, включая MS Exchange
Всегда не менее 20% свободных входных линий
Четыре модемных пула. Протокол V.90

nsys

Network Systems ISP
220013, г. Минск, ул. 2-я Шестая линия, д. 9. Тел./факс: 283 17 11
E-mail: info@nsys.by Web: http://nsys.by

Официальный дистрибьютор
компании International Rectifier
в Республике Беларусь компания "ФЭК"
тел./факс: +375 (0) 17 210-22-74
e-mail :fek@fek.by.com

СХЕМОТЕХНИЧЕСКИЕ СПОСОБЫ БОРЬБЫ С ЗАЩЕЛКИВАНИЕМ В КАСКАДАХ С IGBT ТРАНЗИСТОРАМИ

А.И. Колпаков, ведущий специалист ООО «Мега-Электроника». E-mail: kai@megachip.ru

Продолжение. Начало в № 4-12,2002, 1-3,5,2003

Преимущества IGBT транзисторов при использовании их в импульсных силовых каскадах (особенно высоковольтных) общеизвестны: это высокая плотность тока, малые статические и динамические потери, отсутствие тока управления, устойчивость к короткому замыканию, простота параллельного соединения.

Отсутствие тока управления в статических режимах и общее низкое потребление по цепям питания позволяет отказаться от гальванически изолированных схем управления на дискретных элементах и создать интегральные схемы – драйверы. Драйверы, управляющие транзисторами нижнего плеча, в настоящее время выпускаются практически всеми ведущими фирмами. Кроме обеспечения тока затвора они способны выполнять и ряд вспомогательных функций таких, как защита от перегрузки по току, падения напряжения управления и ряд других.

В дополнение к ним, некоторые фирмы выпускают драйверы транзисторов верхнего плеча, выдерживающие перепад напряжений до 600 В и даже 1200В, а также драйверы полумостовых и мостовых соединений мощных транзисторов. На вход этих драйверов подаются сигналы КМОП или ТТЛ уровня относительно отрицательной шины питания. Особая ценность таких микросхем состоит в том, что их выходные каскады способны питаться от так называемых “бутстрепных” конденсаторов в схемах “зарядового насоса” и не требуют “плавающих” источников питания.

Большую гамму драйверов различного назначения поставляет фирма International Rectifier, в том числе:

- драйвер транзистора верхнего плеча IR2125
- драйвер полумоста IR211X
- драйвер трехфазного моста IR213X
- драйвер трехфазного моста на напряжение 1200В IR223X

Среди наиболее известных можно также назвать драйверы нижнего плеча MC33153, MC34151 фирмы Motorola и драйверы с гальванической развязкой Hewlett Packard.

Все сказанное делает транзисторы IGBT в сочетании с микросхемами управления оптимальными элементами для построения силовых ключевых каскадов мощностью до десятков киловатт. Однако указанные элементы имеют и ряд технологических недостатков, ограничивающих область их применения. Среди наиболее серьезных – наличие времени рассасывания базы биполярной части IGBT (хвоста) и способность транзисторов и драйверов к защелкиванию.

Технологические причины защелкивания

Причиной защелкивания IGBT транзисторов является наличие триггерной структуры, образованной биполярной частью IGBT и паразитным NPN транзистором. Эквивалентная схема, учитывающая подобный эффект, показана на рис.1а. Такую эквивалентную схему приводили в своей документации многие фирмы, в частности, SIEMENS, TOSHIBA, FUJI и другие.

Наличие триггерной структуры приводит к тому, что при определенных условиях работы, когда напряжение на паразитном резисторе Rs превышает некоторое поро-

вое значение, транзистор Qs открывается, триггер опрокидывается и происходит защелкивание. Последствием этого, как правило, является лавинообразный выход прибора из строя. Повышение напряжения на Rs происходит либо вследствие резкого возрастания тока (например при коротком замыкании), либо из-за большой скорости нарастания напряжения (когда фронт напряжения дифференцируется паразитной емкостью Cs).

При разработке схем с использованием транзисторов IGBT, в которых такая ситуация возможна, следует особое внимание уделять ограничению максимальных токов и ограничению dV/dt. Для этого существует ряд известных способов, в частности, правильный выбор тока защитных, выбор резистора затвора Rg и использование цепей, формирующих траекторию переключения. Все эти методы описаны в руководствах по использованию транзисторов.

С эффектом защелки ведется успешная борьба. Так, например, в “Рекомендациях по применению” фирмы International Rectifier уже в начале 90х годов указывалось, что триггерная структура подавлена полностью, и защелка исключена при всех режимах работы, включая ток короткого замыкания и любые достижимые фронты напряжений и токов. В документации SIEMENS 1997г. также говорится, что в транзисторах нового поколения паразитная полупроводниковая тиристорная структура отсутствует. В результате этого эквивалентная схема приобретает вид, показанный на рис.1б). Кроме отсутствия эффекта защелкивания при этом обеспечивается также прямоугольная область безопасной работы (SOA), что особенно важно для разработчиков.

Однако защелкивание в микросхемах драйверов остается серьезной проблемой, с которой неизбежно сталкивается пользователь, работающий с практическими схемами. Причем, в документации, выпускаемой фирмами-разработчиками, этой проблеме внимания почти не уделяется.

Механизм возникновения защелки в драйверах несколько иной, чем это показано выше. На рис. 2 показан типичный выходной каскад драйвера, образованный комплиментарной парой КМОП транзисторов MP1 и MN1. В схеме также присутствуют паразитные биполярные двух-

Стоимость пакетов на 30 дней

Ночной (22:00 - 8:00)	23460
Домашний (1 час в день в любое время)	24990
Ночной+ (22:00 - 8:00 + сб., вс.)	30600
Домашний+ (1 час в день в любое время + сб., вс.)	40800
Деловой (2 часа в день в любое время)	40800
Люкс (3 часа в день в любое время)	70380
Деловой+ (2 часа в день в любое время + сб., вс.)	51000
Люкс+ (3 часа в день в любое время + сб., вс.)	81600
Дополнительный почтовый ящик	6630

Для читателей журнала подключение бесплатное!

коллекторные транзисторы OP1, ON1, OP2, ON2, связанные с активными КМОП транзисторами и их внутренними диодами. Именно эти биполярные транзисторы и формируют триггерную RPNP структуру, приводящую к защелкиванию.

Из приведенной схемы видно, что, если выходное напряжение драйвера V_{out} станет выше напряжения питания V_{cc} (или ниже V_{com}) на величину отпирания биполярного транзистора V_{be} , то откроется один из паразитных биполярных транзисторов, и защелкнется триггер, закоротив питание драйвера. Ток, протекающий при этом достаточен, чтобы разрушить металлизацию интегральной схемы.

Благодаря структуре выходного каскада и наличию внутренних диодов КМОП транзисторов, драйверы способны противостоять защелкиванию до определенных значений наведенного тока. Например, драйверы серии IR21XX не защелкиваются при наведенном на выход токе до 0,5А. Кроме того, из-за низких частотных характеристик паразитных транзисторов, выходной каскад может не защелкнуться при длительности наведенного импульса менее 1мкс. Следует также отметить, что ток защелки имеет отрицательный температурный коэффициент.

В документации по применению драйверов многие фирмы указывают максимальную скорость нарастания напряжения (dV/dt immunity), которую способен выдерживать драйвер. Для драйверов фирмы International Rectifier эта величина составляет $\pm 50V/ns$. Это говорит о том, что при более высоких скоростях нарастания, фронт напряжения, продифференцированный паразитной емкостью, может вызвать смещение выходного напряжения драйвера на указанную выше величину и, следовательно, повлечет за собой срабатывание триггерной структуры. Таким образом, правильное включение каскадов управления и силовых транзисторов имеет важное значение для обеспечения надежности.

Общие принципы предотвращения защелки

Основное, на что надо обращать внимание при разработке топологии выходного каскада – это правильное подключение цепей питания и общего провода. Ни при каких условиях силовые токи не должны протекать по цепям управления затвором. Вывод COM драйвера должен быть связан непосредственно с эмиттером IGBT (или истоком МОП ПТ). Соединение драйвера с затвором и эмиттером должно быть выполнено прямыми линиями минимальной длины. Если нет возможности установить транзистор на печатную плату, то провода цепи управления необходимо сделать бифилярными и прямыми. Высоковольтный конденсатор питания должен быть

установлен максимально близко к силовому транзистору и иметь выводы с минимальной индуктивностью.

International Rectifier указывает, что при суммарной индуктивности выводов 100нГ перенапряжение в момент переключения может достигать 200В. Для борьбы с перенапряжением ряд фирм выпускает конденсаторы с полосковыми низкоиндуктивными выводами.

Для ограничения dV/dt , которое может вызвать защелку из-за емкости Миллера, мож-

но увеличивать резистор затвора R_g , однако при этом будут возрастать потери переключения. Можно также использовать RC цепи формирования траектории переключения (например, см. рис.3).

Цепочка (иногда она называется снаббер), показанная на рис.3, затягивает фронт напряжения на время, определяемое емкостью и параметрами нагрузки. Перезаряд емкости происходит через резистор и открытый транзистор. Такие цепи также вносят дополнительные потери и усложняют аппаратную реализацию, однако иногда они являются единственной альтернативой.

В любом случае при расчете схемы разработчику приходится искать компромисс между потерями и надежностью, и часто пожертвовать потерями представляется более рациональным. Хотя снаббер и решает проблему dV/dt практически во всех схемах, постоянная времени RC цепочки ограничена величиной паузы ("deadtime") при переключении транзисторов верхнего и нижнего плеча. Обычно ее величина составляет 1-2 мкс. Поэтому иногда лучше увеличить номинал резистора затвора. Диапазон изменения этого резистора и его номинальная величина являются справочными данными. Резистор затвора – это элемент задающий, в основном, динамические свойства каскада,

и к его выбору надо относиться крайне осторожно. Он определяет потери при переключении и скорость переключения, т.к. вместе с емкостью затвора C_{ge} образует RC цепь, на которую подается практически прямоугольный импульс управления. Вместе с обратной емкостью C_{gc} он создает затягивание фронтов за счет эффекта Миллера.

При правильном выборе резистора затвора большая часть наведенного тока смещения течет через емкость C_{ge} (см. рис.4), минуя выход драйвера. Таким образом, если выбрать резистор так, чтобы обратные токи драйвера не превышали 0,5А, защелкивания не произойдет.

Максимальная величина этого резистора ограничена многими факторами, главным из которых является следующий. При работе полумостовой схемы после паузы, когда оба транзистора закрыты, начинает открываться верхний транзистор. При этом фронт напряжения, нарастающего на нижнем транзисторе дифферен-

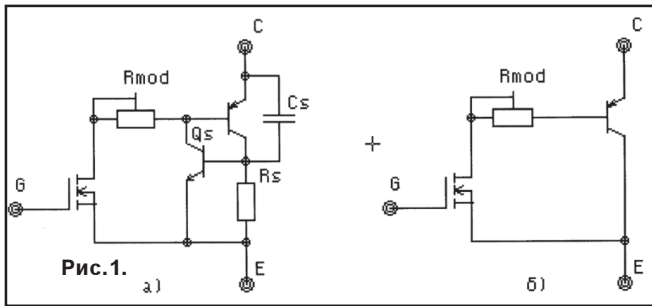


Рис. 1.

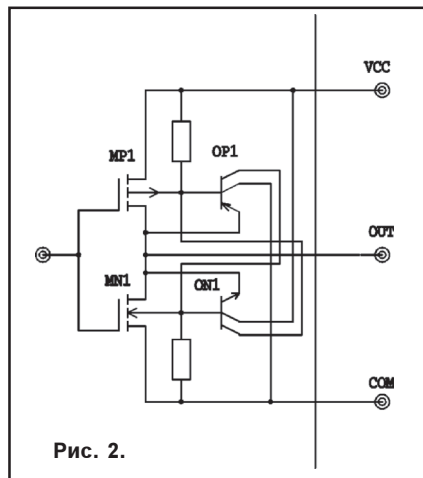


Рис. 2.

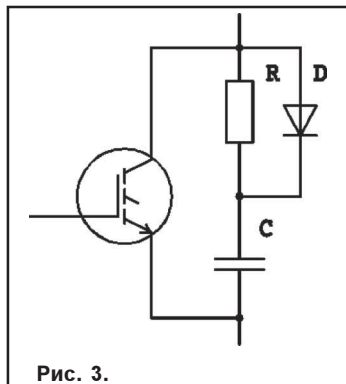


Рис. 3.

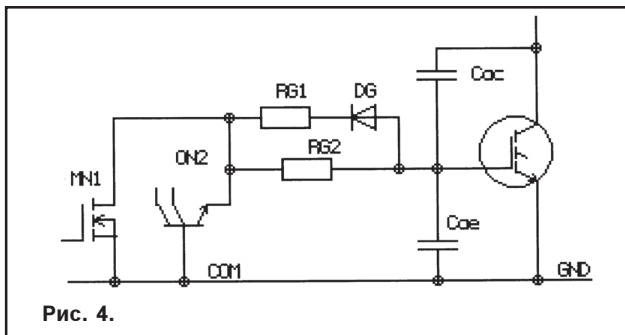


Рис. 4.

цируется емкостью C_{gs} и попадает на затвор, наводя ток смещения на резисторе R_g . Если его величина будет достаточно большой, то напряжение, возникающее из-за протекания этого тока, может стать достаточным для открытия нижнего транзистора. Следствием этого будет непредсказуемый сквозной ток.

Вообще, увеличение резистора затвора противоречит требованию максимальной скорости переключения IGBT или МОП ПТ, ради которой и используют эти элементы. Для того, чтобы с одной стороны предотвратить защелкивание, а с другой стороны не допустить самопроизвольного открывания и получить максимальную скорость выключения, иногда целесообразно разделить резистор R_g для включения и выключения и оптимизировать соответственно каждый из них (R_{g1} и R_{g2}). На рис.4 показаны часть выходного каскада драйвера MN1 с паразитным биполярным транзистором ON2, затворными резисторами R_{G1} , R_{G2} и силовым IGBT транзистором нижнего плеча с паразитными емкостями C_{ge} и C_{gs} .

Резистор R_{G2} выбирается так, чтобы ток смещения, наведенный за счет dV/dt и проходящий через C_{gs} , не приводит к открыванию паразитного транзистора ON2. Резистор R_{G1} обеспечивает необходимую скорость выключения силового транзистора и предотвращает ложное срабатывание при открывании транзистора верхнего плеча ($R_{G1} < R_{G2}$).

Защелкивание при подаче питания

Причиной защелкивания может стать неблагоприятное сочетание процессов, которое может возникнуть при включении силового питания, особенно в мостовых схемах управления двигателями переменного тока, где используется питание верхних каскадов от бутстрепных емкостей. Несмотря на наличие в драйверах защиты от пониженного напряжения управления (UVLO – Under Voltage LockOut) переходные процессы, сопровождающие включение силового питания, способны привести к ложному открыванию транзистора верхнего плеча. Это возможно при следующих условиях:

1. Отсутствует или велика нагрузка на одном из выходов. При этом до заряда бутстрепной емкости напряжение на выходе полумоста (на выводе V_s драйвера) может иметь любое значение.
2. Высокое значение скорости заряда бутстрепной емкости dV_{bs}/dt
3. Напряжение питания верхнего плеча V_{bs} имеет отрицательное смещение до подачи силового питания.

Силовой каскад, управляющий индуктивной нагрузкой (двигателем переменного тока) и использующий бутстрепное питание верхних каскадов, при включении проходит несколько стадий, пока не зарядится бутстрепная емкость и не начнется нормальное функционирование схемы.

Для заряда емкости зарядового насоса C_b (см. рис.6) прежде всего необходимо, чтобы открылся нижний тран-

зистор. При этом потенциал вывода V_s драйвера становится близок к нулю, и конденсатор C_b начинает заряжаться через бутстрепный диод D_b . Если при этом произойдет сочетание описанных выше условий, произойдет следующее:

- напряжение V_{bs} на бутстрепной емкости быстро нарастает.
- питание верхнего плеча, смещается в сторону минусовой шины питания с высокой скоростью dV_s/dt , если сопротивление нагрузки достаточно высоко (или если выход вообще отключен).
- если напряжение V_{BS} отрицательно при подаче силового высоковольтного питания, происходит защелкивание из-за тока текущего через внутренний диод выходного каскада верхнего плеча драйвера.

Для предотвращения подобной ситуации необходимо исключить возможность отрицательного смещения напряжения V_{BS} драйвера.

Перед подачей силового питания, если потенциал V_B станет ниже $-0.3B$ (предельно допустимое значение), через внутренний диод верхнего плеча потечет ток. Чтобы исключить как отрицательное смещение вывода V_B , так и высокую dV/dt скорость смещения V_S при открытом нижнем транзисторе, рекомендуется включить диод D_s и резистор утечки R_{sc} между выводами V_S и COM , как показано на рис. 5. В этом случае до включения схемы потенциал V_S поддерживается на уровне шины общего провода. Естественно, номинал R_{sc} должен быть таким, чтобы не нарушалось нормальное функционирование схемы и не было дополнительных потерь мощности. Диод Шоттки D_s , ограничивающий отрицательное смещение напряжения V_{BS} , должен иметь минимальное значение прямого напряжения (не более $0.2B$), обратное напряжение не менее $35B$ и низкое значение тока утечки.

Для уменьшения скорости заряда бутстрепной емкости dV_{bs}/dt рекомендуется также установить резистор R_s последовательно с диодом зарядового насоса. Номинал этого резистора зависит от номинала конденсатора C_b и должен быть выбран так, чтобы постоянная времени $R_s C_b$ была не менее $10\mu s$. Однако, если выбрать это время слишком большим, включение верхнего каскада будет задержано на время нарастания напряжения V_{bs} до порога срабатывания защиты $UVLO$.

Когда бутстрепная емкость C_b заряжается через диод D_b и резистор R_s , номинал C_b необходимо рассчитывать, исходя из выражения:

$$C_b \cdot (V_{cc} - V_{rs} - V_f - V_{BSmin} - V_s) > 2Q_g + (I_{gbs}/f)$$

V_{rs} – напряжение на резисторе R_s

V_{BSmin} – минимальное допустимое напряжение V_{BS}

Q_g – заряд затвора

f – частота следования импульсов

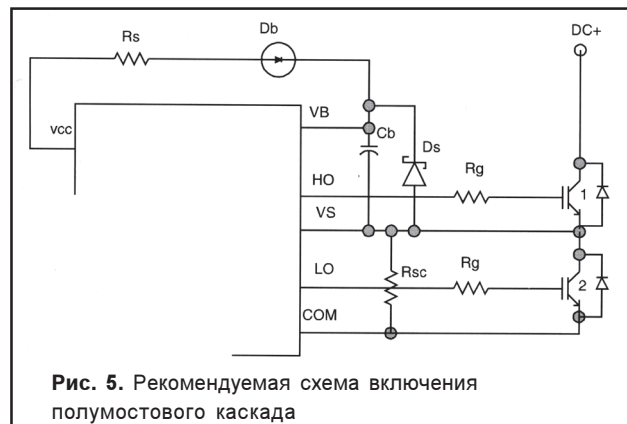


Рис. 5. Рекомендуемая схема включения полумостового каскада

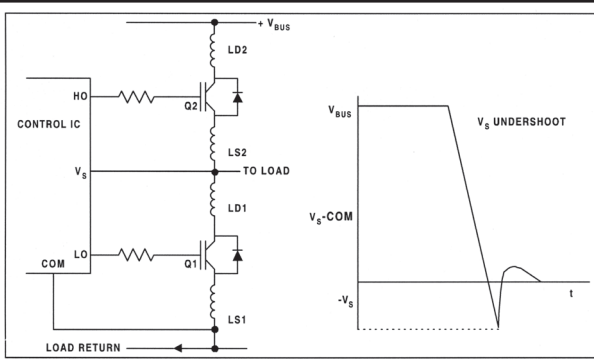


Рис. 6. Паразитные индуктивности полумостового каскада

V_{cc} – напряжение питания

V_f – прямое падение напряжения на диоде зарядового насоса

V_s – падение напряжения на оппозитном диоде или на транзисторе нижнего уровня в полумостовой схеме
 I_{gb} – ток потребления в статическом режиме (затвора и драйвера верхнего плеча).

Переходные перенапряжения

На рис.6 приведена типовая схема полумостового каскада, управляемого от драйвера. На схеме показаны паразитные индуктивности LS1, LS2, LD1, LD2, создаваемые выводами транзисторов, соединительными проводами и печатными линиями. Паразитные индуктивности существуют и в цепи затвора, однако особенно

опасны они в силовых цепях коллектора и эмиттера. Быстрые изменения тока в этих цепях создают переходные перенапряжения. Эти перенапряжения, опасные сами по себе, могут приводить к звону в цепях управления, повышению рассеиваемой мощности и даже повреждению интегральных микросхем драйверов.

Наиболее критичным для драйвера событием, вызываемым наличием паразитных индуктивностей, является появление отрицательного потенциала на выводе V_s при переключении. Положительный выброс напряжения не так опасен благодаря высокой перегрузочной способности драйверов, выполненных по HVIC технологии, применяемой International Rectifier.

Когда выключается верхний транзистор при индуктивной нагрузке, ток нагрузки мгновенно переключается на оппозитный (нижний) диод. Прежде чем диод откроется, и выходное напряжение станет равно прямому падению напряжения на нем, перенапряжение, создаваемое индуктивностью LS1+LD1, приведет к смещению потенциала вывода V_s ниже нулевого уровня на величину $-V_s$, как показано на рис. 6. Этот же процесс может привести к звону в цепи затвора.

Все микросхемы International Rectifier выдерживают смещение потенциала V_s на величину $-5V$ относительно общего провода (вывод COM). Если смещение превысит этот уровень, выход верхнего каскада защелкнется. Отметим, что $-5V$ это абсолютный максимум при котором микросхема не выходит из строя, но в работе могут наблюдаться сбои.

Продолжение следует.

info@megachip.ru

www.megachip.ru
Мега-Электроника

PHILIPS

ST MICROELECTRONICS

IOR

TEXAS INSTRUMENTS

IMP

☎ (812) 232-12-98, 327-32-71 ☎/факс (812) 325-44-09

197101 Санкт-Петербург, Большая Пушкарская, д. 41

НОВОЕ СЕМЕЙСТВО ПЛИС СТРУКТУРЫ FPGA SPARTAN-3

В. А. Хацук. E-mail: vah@scan.ru

Семейство программируемых логических интегральных схем (ПЛИС) структуры FPGA Spartan-3 с напряжением питания ядра 1.2В предназначено для реализации проектов большого объема, в которых особенно важна стоимость реализации. Семейство ПЛИС Spartan-3 по объему системных вентилях подразделяется на 8 типов от 50 000 до 5 000 000 (см. таблицу 1).



Семейство Spartan-3 является дальнейшим развитием популярного семейства ПЛИС Spartan-IIЕ, в котором увеличен объем системных ресурсов, блочной памяти, выводов пользователя и элементов управления тактовой частотой. Многочисленные улучшения в семействе Spartan-3 приходят из семейства Virtex™-II.

Таблица 1. Основные характеристики семейства Spartan-3

Прибор	Объем систем. н. вентилях	Логические ячейки	CLB			Распред. Память (Кбит)	Блочная память (Кбит)	Кол-во умножителей	К-во DCM	Макс. кол-во выводов пользователя	Макс. кол-во дифф. выводов пользователя
			Рядов	Колонки	Всего						
XC3S50	50К	1,728	16	12	192	12	72	4	2	124	56
XC3S200	200К	4,320	24	20	480	30	216	12	4	173	76
XC3S400	400К	8,064	32	28	896	56	288	16	4	264	116
XC3S1000	1М	17,280	48	40	1,920	120	432	24	4	391	175
XC3S1500	1,5М	29,952	64	52	3,328	208	576	32	4	487	221
XC3S2000	2М	46,080	80	64	5,120	320	720	40	4	565	270
XC3S4000	4М	62,208	96	72	6,912	432	1,728	96	4	712	312
XC3S5000	5М	74,880	104	80	8,320	520	7,872	104	4	784	344

ПЛИС семейства Spartan-3 идеально подходят для реализации широкого диапазона аппаратуры, включая такие как сетевые устройства, мониторы/проекторы, цифровое телевидение и т.д. Благодаря низкой стоимости и большой емкости ПЛИС семейства Spartan-3 являются достойной альтернативой ASIC. Применение ПЛИС структуры FPGA по сравнению с ASIC позволяет избежать высокой начальной стоимости проекта, длинного периода разработки опытного образца. Также применение ПЛИС структуры FPGA позволяет

перепрограммировать внутреннюю структуру, чего нельзя сделать в ASIC.

Особенности

1. Революционная 90 нм КМОП технология.
2. Очень дешевое, быстродействующее логическое решение для реализаций приложений, требующих большого объема системных вентилях:
 - эквивалентный объем 74 880 логических ячеек;
 - системная частота 326 МГц;
 - три отдельных электропитания для ядра (1.2В), блоки ввода/вывода (1.2В - 3.3В), и специальные функции (2.5В).
3. Технология передачи сигналов SelectIO™:
 - до 784 блоков ввода/вывода;
 - скорость передачи данных до 622 Мбит/сек;
 - семнадцать линейных стандартов ввода/вывода;
 - шесть дифференциальных стандартов ввода/вывода, включая LVDS;
 - цифровое управление импедансом;
 - колебание входного сигнала в пределах от 1.14В - 3.45В;
 - поддержка стандарта DDR.
4. Логические ресурсы:
 - большое количество гибких логических ячеек с регистрами;
 - многоуровневые мультиплексоры;
 - быстродействующие логические ячейки;
 - встроенные (18x18)бит умножители;
 - JTAG порт, совместимый со стандартом IEEE 1149.1/1532.
5. Иерархическая память SelectRAM™:
 - объем блочной памяти до 1 872 Кбит;

- объем распределенной памяти до 520 Кбит.
6. Цифровое управление тактовой частотой (до четырех модулей DCMs):
 - устранение задержек;
 - синтез частоты;
 - сдвиг фазы с высоким разрешением.
 7. Восемь глобальных тактовых шин
 8. Полная поддержка программным обеспечением Xilinx ISE:

- Синтез, мапирование, размещение и трассировка.

Обзор архитектуры

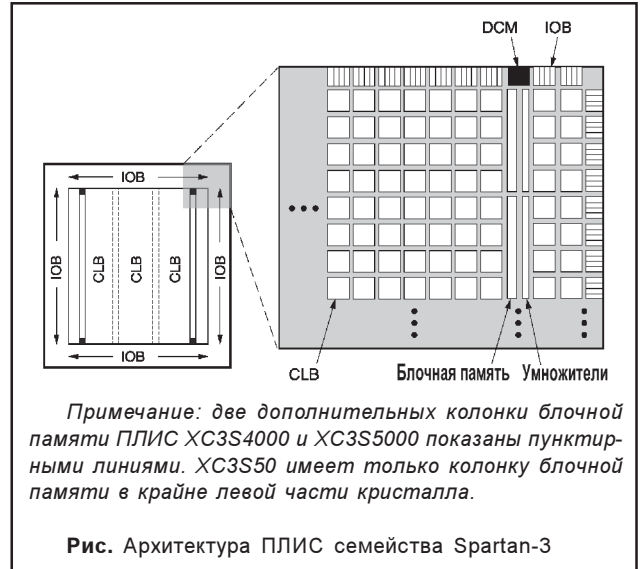
Архитектура ПЛИС семейства Spartan-3 состоит из пяти фундаментальных программируемых функциональных элементов:

1. Конфигурируемые Логические Блоки (CLB) - содержат основанные на элементах памяти таблицы (LUT), для реализации логики и элементов хранения, которые могут использоваться как триггеры или «защелки». CLB может быть запрограммирован, для реализации логической функции или же элемента памяти.

2. Блоки Входа/Производства (IOB) - управляют потоком данных между блоками ввода/вывода и внутренней логикой. Каждый IOB поддерживает возможность двунаправленного обмена данными с возможностью перевода вывода в 3-ее состояние. Пользователь имеет возможность запрограммировать блок ввода/вывода в любой из 23 различных стандартов, включая шесть быстродействующих дифференциальных (см. таблицу 2). В каждом блоке имеется возможность поддержки удвоенной тактовой частоты (стандарт DDR). Контроллер цифрового управления импедансом (DCI) позволяет избежать подключения большого количества внешних нагрузочных резисторов.

3. Блочная память обеспечивает хранение данных в форме 18-Кбитных двупортовых блоков.

4. Умножители принимают два 18-битных числа в



двоичном коде на входы и производят их умножение.

5. Блоки цифрового управления тактовой частоты (DCM) обеспечивают автокалибрование, полностью реализованные цифровым методом задержка, умножение, деление, фазовый сдвиг тактового сигнала.

Расположение всех элементов на кристалле показано на рис. 1. Кольцо блоков ввода/вывода (IOB) окружает регулярную матрицу (CLB). XC3S50 имеет одну единственную колонку блочной памяти. ПЛИС

Таблица 2. Сигналы, поддерживаемые семейством Spartan-3

Стандарт	Описание	Vcco (В)	Класс	Обозначение	
Линейные стандарты					
GTL	Gunning Transceiver Logic	Не опр.	Terminated Plus	GTL GTLP	
HSTL	High-Speed Transceiver Logic	1,5В	I	HSTL_I	
			III	HSTL_III	
		1,8В	I	HSTL_I_18	
			II	HSTL_II_18	
LVCMOS	Low-Voltage CMOS	1,2В	III	HSTL_III_18	
			1,5В	Не опр.	LVC MOS12
			1,8В	Не опр.	LVC MOS15
			2,5В	Не опр.	LVC MOS18
			3,3В	Не опр.	LVC MOS25
LVTTL	Low-Voltage Transistor-Transistor Logic	3,3В	Не опр.	LVC MOS33	
PCI	Peripheral Component Interconnect	3,0В	33 МГц	LVTTL	
SSTL	Stub Series Terminated Logic	1,8В	I	PCI33_3	
			II	SSTL18_I	
		2,5В	I	SSTL2_I	
			II	SSTL2_II	
Дифференциальные стандарты					
LDT	Lightning Data Transport (HyperTransport™)	2,5В	Не опр.	LDT_25	
LVDS	Low Voltage Differential Signaling		Standard	LVDS_25	
			Bus	BLVDS_25	
			Extended Mode	LVDS_EXT_25	
			Ultra	ULVDS_25	
RSDS	Reduced-Swing Differential Signaling	2,5В	Ultra	RSDS_25	

Таблица 3. Выводы пользователя в семействе Spartan-3

Прибор	Максимальное количество выводов пользователя																
	VQ100		TQ144		PQ208		FT256		FG456		FG676		FG900		FG1156		
	Польз.	Дифф.	Польз.	Дифф.	Польз.	Дифф.	Польз.	Дифф.	Польз.	Дифф.	Польз.	Дифф.	Польз.	Дифф.	Польз.	Дифф.	
XC3S50	63	29	97	46	124	56	-	-	-	-	-	-	-	-	-	-	-
XC3S200	63	29	97	46	141	62	173	76	-	-	-	-	-	-	-	-	-
XC3S400	-	-	97	46	141	62	173	76	264	116	-	-	-	-	-	-	-
XC3S1000	-	-	-	-	-	-	173	76	333	149	391	175	-	-	-	-	-
XC3S1500	-	-	-	-	-	-	-	-	333	149	487	221	-	-	-	-	-
XC3S2000	-	-	-	-	-	-	-	-	-	-	489	221	565	270	-	-	-
XC3S4000	-	-	-	-	-	-	-	-	-	-	-	-	633	300	712	312	-
XC3S5000	-	-	-	-	-	-	-	-	-	-	-	-	633	300	784	344	-

Таблица 4. Исполнение приборов

Тип корпуса	VQFP	TQFP	PQFP	FTBGA	FBGA			
К-во выводов	100	144	208	256	456	676	900	1156
Обозначение:	VQ100	TQ144	PQ208	FT256	FG456	FG676	FG900	FG1156
Прибор ⁽¹⁾								
XC3S50	(C, I)	(C, I)	(C, I)	-	-	-	-	-
XC3S200	(C, I)	(C, I)	(C, I)	(C, I)	-	-	-	-
XC3S400	-	(C, I)	(C, I)	(C, I)	(C, I)	-	-	-
XC3S1000	-	-	-	(C, I)	(C, I)	(C, I)	-	-
XC3S1500	-	-	-	-	(C, I)	(C, I)	-	-
XC3S2000	-	-	-	-	-	(C, I)	(C, I)	-
XC3S4000	-	-	-	-	-	-	(C, I)	(C, I)
XC3S5000	-	-	-	-	-	-	(C, I)	(C, I)

Примечания:

1. Приборы в коммерческом исполнении доступны с быстродействием -4 и -5, в индустриальном исполнении только с быстродействием -4

2. C=коммерческие T=(0...85)°C; I=индустриальные T=(-40...+100)°C

Круглые скобки указывают, что данное изделие еще не выпущено в производство.

XC3S200 - XC3S2000 имеют две, XC3S4000 и XC3S5000 имеют четыре колонки блочной памяти. Каждая колонка составлена из блоков RAM на 18Кбит. Каждый блок связан с умножителем. Модули DCM размещены в конце каждой колонки блочной памяти. ПЛИС семейства Spartan-3 имеют богатую сеть трасс и межсоединений, которые связывают все пять функциональных элементов, передавая сигналы среди них. Каждый функциональный элемент имеет связанную матрицу межсоединений.

Конфигурация

ПЛИС семейства Spartan-3, являясь структурой FPGA, программируется, путем загрузки конфигурационных данных в статические ячейки памяти, которые управляют всеми функциональными элементами и ресурсами. Конфигурационные данные сохраняются во внешнем запоминающем устройстве. При подаче напряжения питания данные загружаются в ПЛИС посредством любым из пяти различных способов конфигурирования: параллельный Master, параллельный Slave, последовательный Мастер, последовательный Slave и Boundary Scan (JTAG). Master и Slave параллельные режимы используют 8-битную шину SelectMAP™. Рекомендованная память для хранения конфигурационных данных - дешевое Xilinx семейство Flash PROM XCF00S для последовательной конфигурации и XCF00P PROM для параллельной конфигурации.

Блоки ввода/вывода

Особенность SelectIO Spartan-3 устройства поддерживает 17 линейных стандартов и шесть дифферен-

циальных стандартов как указано в таблице 2. В таблице 3 показано количество выводов ввода/вывода, доступных пользователю.

220024 г. Минск ул. Кижеватова д. 7/2
оф. 2 тел./факс: 275-62-61, 275-67-50
e-mail: scanwest@scan.ru

XILINX®

TEXAS INSTRUMENTS

Mentor Graphics®

ET

hp

Tektronix
Enabling Innovation

Metaphase®

TIRIS™

Agilent Technologies

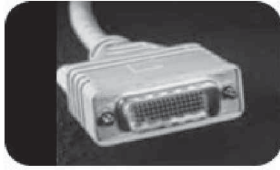
Brüel & Kjær

Sony Precision Technology Inc.

- САПР-электроники
- САПР машиностроения
- Измерительная техника
- Вычислительная техника
- Электронные компоненты
- Системы радиочастотной идентификации
- Полный спектр продукции ф. Texas Instruments
- ПЛИС XILINX (САПР, ИМС, отладочные платы, IP)

РАЗЪЕМЫ MOLEX DMS-59™ ДЛЯ МОНИТОРОВ

Molex Incorporated представляет новые разъемы для мульти-мониторных систем – DMS-59™.



Ассоциация VESA выбрала системный интерфейс Molex DMS-59 в качестве стандарта для подключения цифровых и аналоговых мониторов к низкопрофильным PCI и AGP видеоадаптерам. В разьеме используется уникальная технология Molex LFH™ (Low Force Helix), которая активно исполь-

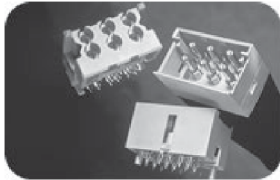
зуется в широком спектре промышленных приложений.

В соответствии со стандартом VESA на мульти-дисплейные интерфейсы, данный разъем имеет пропущенный контакт, который используется в качестве ключа. Кабельная сборка состоит из разъема на 59 контактов, адаптера и кабеля, и удовлетворяет требованиям стандарта VESA по импедансу, перекрестным наводкам и искажениям.

Molex выпускает три семейства таких адаптеров: переходник DMS-59 на два DVI-D порта; DMS-59 на два VGA порта; и DMS-59 на один DVI и один VGA порт.

БЛОЧНЫЕ РАДИОЧАСТОТНЫЕ РАЗЪЕМЫ ОТ MOLEX

Надежное соединение для широкополосных (до 2.5 ГГц) несимметричных или аналоговых радиочастотных сигналов обеспечивает применение блочных радиочастотных разъемов от Molex Incorporated.



Данные разъемы и кабельные сборки идеальны для применения в тех областях, где необходимо обеспечить широкополосную передачу аналоговых сигналов, а также обеспечить „слепую“ стыковку высокоскоростных цепей. Области применения: телекоммуникации, станции сотовой связи, беспроводные сети, коаксиальные соеди-

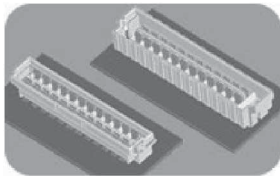
нения для дочерних плат и другие.

Данные разъемы рассчитаны на импеданс 50 Ом ($\pm 10\%$) для обеспечения минимальных потерь сигнала. Метод крепления к плате – запрессовка. Дополнительные усилия удержания обеспечиваются пластиковыми ножками-направляющими.

Угловые блочные радиочастотные разъемы на плату, а также вертикальные ответные части поддерживают „слепую“ стыковку и доступны в шести- и восьмиконтактных конфигурациях, а также имеют оригинальное конструктивное исполнение и возможность селективной загрузки высокоскоростных вертикальных сигнальных пар. Кабельные сборки также доступны с числом контактов 6 и 8 и стандартной длиной кабеля для соединения с угловыми ответными частями на плату.

ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ РАЗЪЕМЫ MEZZANINE

Новая линия высокопроизводительных разъемов Plateau HS Mezz™ позволяет обеспечить высокую скорость потока данных в современных системах передачи.



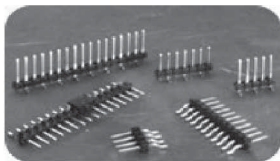
Корпорация Molex усовершенствовала технологию металлизации пластика, благодаря чему разъем поддерживает поток данных до 10 Гбит/с. Инновационное решение металлизации пластика корпуса разъема обес-

печивает полную экранировку каждой дифференциальной пары контактов. Данные разъемы рассчитаны на применение в серверах, мейнфреймах, рабочих станциях, тестовом оборудовании, а также в телекоммуникационном оборудовании (например в маршрутизаторах).

Разъемы Plateau HS Mezz обеспечивают высоту стека от 9 до 25 мм, имеют шаг 1.20 мм (3.5 мм для каждой пары). Для каждого сигнального интерфейса имеется две точки контактов для повышенной надежности. В корпусе разъема также имеются специальные колодки для соединения с земляной шиной печатной платы.

ШТЫРЕВЫЕ КОНТАКТЫ ДЛЯ ПОВЕРХНОСТНОГО МОНТАЖА

Новая серия штыревых контактов для поверхностного монтажа (SMT) от Molex Incorporated поможет Вам использовать такие разъемы с двух сторон печатной платы.



Данные однорядные разъемы с шагом 2.54 мм расширяют два наиболее популярных семейства разъемов Molex KK™ и SL™. Разъемы доступны в открытых и закрытых вертикаль-

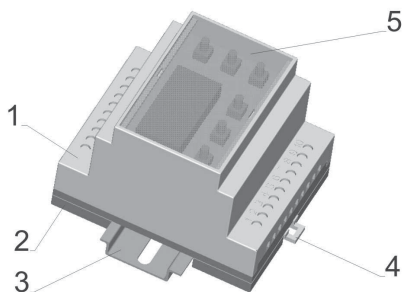
ных версиях, а также в низкопрофильных горизонтальных открытых версиях.

Все версии разъемов имеют квадратные 0.64 мм контакты из фосфористой бронзы. Для совместимости с технологией поверхностной пайки корпус выполнен из высокотемпературного термопластика. Также разъемы доступны с различной стыковочной длиной штырей для использования с однорядными ответными частями KK и SL. Возможно изготовление заказных конфигураций с различными параметрами покрытия и размерами.

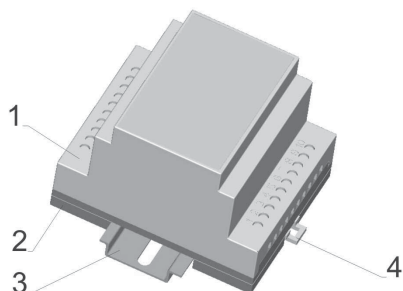
КОРПУСА ЭЛЕКТРОИЗДЕЛИЙ ДЛЯ УСТАНОВКИ НА DIN-ШИНУ M36

ПК ООО «Литопласт». Тел. + 375 (0) 17 235-61-40, 544-44-27, 544-44-28. E-mail: litoplast@nsys.by

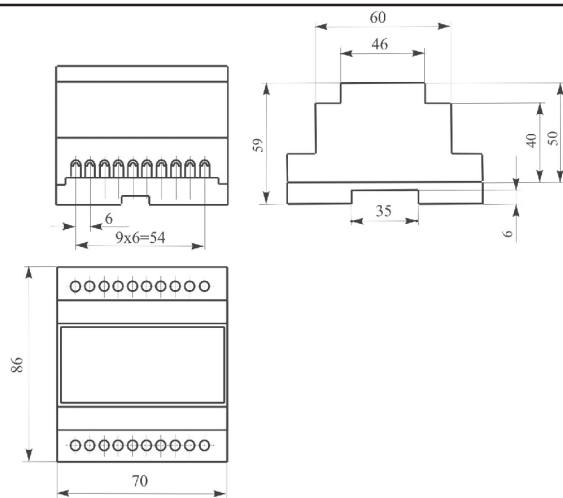
С прозрачной крышкой



Закрытого типа



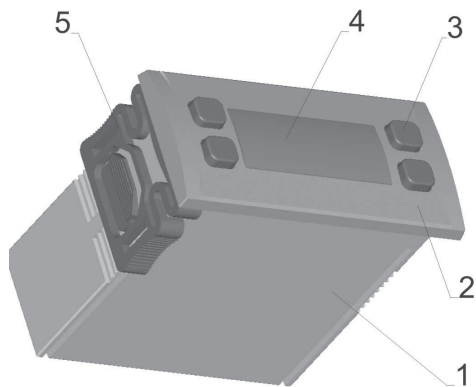
1 - корпус; 2 - основание; 3 - DIN-шина; 4 - защелка; 5 - стекло.



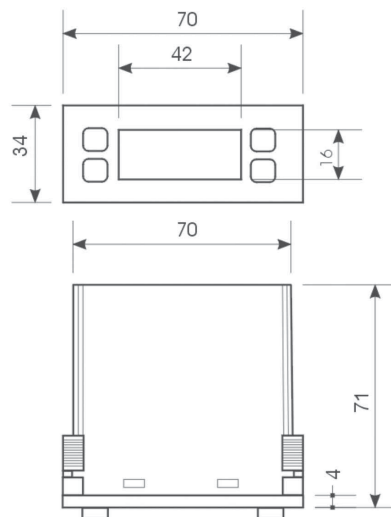
Материал:

- корпус - полипропилен самозатухающий, цвет серый или черный;
- основание - полипропилен самозатухающий цвет серый или черный;
- защелка - пластик АБС, цвет серый или черный;
- стекло - полистирол ПСМ-115, цвет красный или зеленый (прозрачный). Максимальная температура - 100°C. Максимальный ток - 16А.

КОРПУСА ДЛЯ ИЗДЕЛИЙ С ЦИФРОВОЙ ИНДИКАЦИЕЙ И КЛАВИШАМИ УПРАВЛЕНИЯ

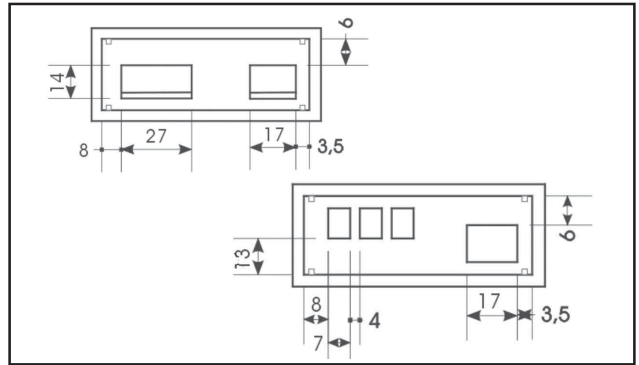


1 - корпус; 2 - крышка; 3 - клавиша управления; 4 - стекло; 5 - защелка.

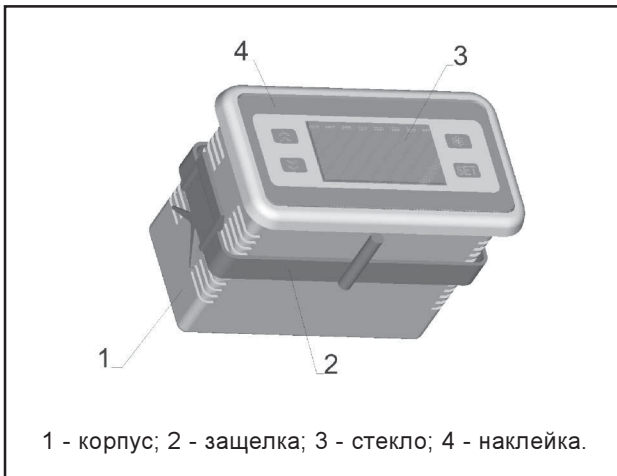


Материал:

- корпус - полипропилен самозатухающий, цвет серый или черный;
 - крышка - полипропилен самозатухающий, цвет серый или черный;
 - клавиша - пластик ПВХ, цвет серый
 - защелка - пластик АБС, цвет серый или черный; стекло - полистирол ПСМ-115, цвет красный или зеленый (прозрачный)
- Максимальная температура - 100°C.
Максимальный ток - 16А.

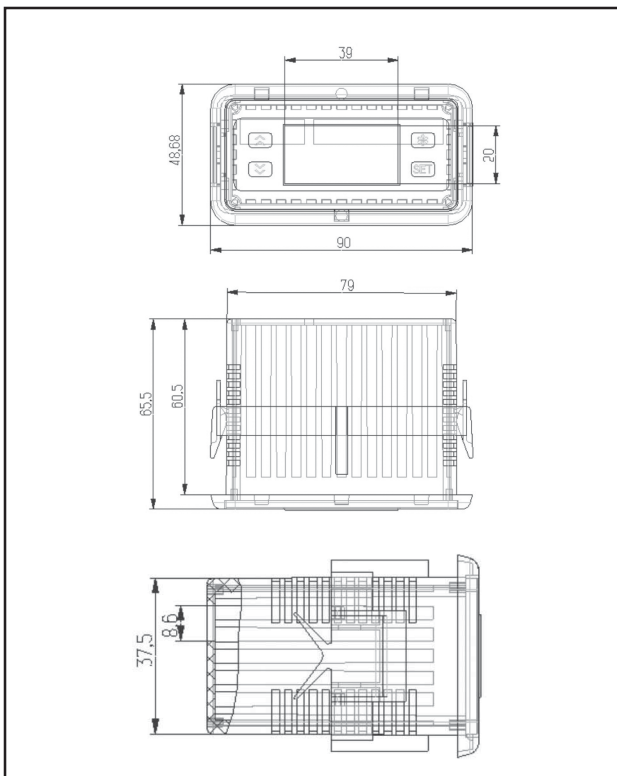


КОРПУСА ДЛЯ ИЗДЕЛИЙ С ЦИФРОВОЙ ИНДИКАЦИЕЙ



Материал:

- корпус - полипропилен самозатухающий;
 - защелка - пластик АБС, цвет серый или черный;
 - стекло - полистирол ПСМ-115, цвет красный или зеленый (прозрачный).
- Максимальная температура - 100°C.
Максимальный ток - 16А.



ГИБКИЙ НАГРЕВАТЕЛЬНЫЙ ПРОВОД

производство и поставка

Характеристики:

- Нихромовая спираль в термостойкой пластмассовой оболочке;
- Напряжение питания : 12-220 В;
- Удельная мощность: 2-50 Ватт/метр;
- Максимальная рабочая температура поверхности: +105° С;
- Выпускаются 2-х видов: ПН-провод нагревательный, ПНХ-провод нагревательный с наличием холодных концов;
- СЕРТИФИКАТ СООТВЕТСТВИЯ РБ, РФ.

Область применения:

- Промышленные и бытовые нагревательные приборы различного назначения (электро-грелки, электро-одеяла и т. п.);
- "теплый пол";
- Системы антиобледенения (крыши, водостоки, тротуары);
- Обогрев сидений автомобиля;
- Антизапотевание витрин и т. п.

ЛИТОПЛАСТ

220038, г. Минск, пер. Козлова, 7а. Тел./факс (+37517): 289-99-24, 235-61-42, 544-27-77, 544-27-76, 235-61-40.
E-mail: litoplast@nsys.by



ДАТЧИКИ ВЛАЖНОСТИ СЕРИИ ННН-3610 ФИРМЫ HONEYWELL

Андрей Зеленко, УП «Альфачип». E-mail:alfachip@open.by

Серия датчиков влажности ННН-3610 разработана специально для всех категорий производителей не стандартного оборудования. Линейный выход датчика по напряжению позволяет непосредственно подключать его к АЦП или другому устройству. Стандартное значение тока потребления 200 мкА, для серии ННН-3610, обеспечивает их использование в низко потребляющих системах с батарейным питанием. Взаимозаменяемость датчиков снижает или практически устраняет затраты на их калибровку. Фирма изготовитель предоставляет калибровочные данные для каждого конкретного датчика.

Серия ННН-3610 обеспечивает высококачественное инструментальное определение величины относительной влажности RH при низких затратах. Доступный в двух типах корпусов с лазерной подгонкой параметров этот емкостной чувствительный элемент помещен в корпус из термореактивного полимера и совмещен на одном кристалле с интегрирующим элементом для обработки сигнала. Многослойная конструкция чувствительного элемента обеспечивает высокую степень защиты от пыли, грязи, масла и других загрязняющих и химически высоко реактивных факторов.

Параметры	Условия
Погрешность измерения относительной влажности	+ 2%, RH, 0-100% E _a = 25 ^o C, V _s = 5 В
Погрешность взаимозаменяемости	+5%, RH, 0-60%, V _s = 5 В +8%, RH, 90% V _s = 5 В
Линейность измерения влажности	+0,5%
Гистерезис	+1,2%
Воспроизводимость	+0,5%
Постоянная времени	15 с, для медленного потока воздуха при 25 ^o C V _s =5 В
Временной уход (тип)	1%, 5 лет, RH, 50%
Напряжение питания	4 – 5,8 В, датчик откалиброван при 5 В
Ток потребления	0,2 мА при 5 В
Выходное напряжение	V _{out} = V _{supply} (0.0062(SensorRH) + 0.16), при 25 ^o C
Область RH	0 – 100% рабочий диапазон 0 – 90% диапазон хранения
Диапазон рабочих температур	-40 – +85 ^o C рабочий диапазон -51 – +125 ^o C диапазон хранения
Корпус	3 выводной SIP корпус из термореактивного пластика
Защита от статического электричества	До 15 кВ

Основные особенности	Области применения
Корпус из термореактивного пластика	Холодильное оборудование
Линейная зависимость выходного напряжения от RH	Сушильное оборудование
Высокая степень взаимозаменяемости, обусловленная лазерной подгонкой	Метрология
Низкое энергопотребление	Системы с батарейным питанием
Высокая точность	Разработка нестандартного оборудования
Малое время отклика	
Высокая стабильность, низкий дрейф	
Устойчивость к химическим воздействиям	

Получить более подробную информацию о возможности применения датчиков фирмы HONEYWELL, а также заказать опытные образцы можно у официального представителя HONEYWELL в Беларуси – УП «АЛЬФАЧИП» по т/ф. (+375 17) 209 80 45, 284 43 33, а также по e-mail: alfachip@open.by или на сайтах: www.honeywell.com/sensing и www.alfa-chip.com.

СНИМАЕМЫЕ С ПРОИЗВОДСТВА КОМПОНЕНТЫ ФИРМЫ ATMEL CORPORATION

ATMEL Corporation объявила о скором прекращении производства популярных микроконтроллеров семейства AVR ATmega103-6AI/AC в связи с переходом на более современную 0,35-мкм технологию производства.

ATmega103-6AI/AC будет заменен на pin-to-pin и функционально совместимый ATmega128-16AI/AC.

- Последняя дата заказа ATmega103-6AI/AC: 30.06.2003
- Последняя дата отгрузки ATmega103-6AI/AC: 30.09.2003

Руководство по замене ATmega103 на ATmega128: AVR080 (PDF 109 Kb engl).

Также будет прекращен выпуск однократно программиру-

емых CPLD серии ATV2500B/BQ. Снимаемые с производства изделия будут заменены на аналогичную по цоколевке, электрически перепрограммируемую (произведенную по технологии EEPROM) серию ATF2500C.

- Последняя дата заказа ATV2500B/BQ: 30.06.2003
- Последняя дата отгрузки ATV2500B/BQ: 31.07.2003

По причине недостаточного спроса снимаются с производства микросхемы параллельной FLASH памяти AT49xx2048A, AT49xx4096A и AT49xx8192A(T) в корпусе SOIC. В качестве альтернативы рекомендовано использовать соответствующие изделия в корпусе TSOP.



ОДНОКРИСТАЛЬНЫЙ USB-UART ПРЕОБРАЗОВАТЕЛЬ CP2101 ПРОИЗВОДСТВА КОМПАНИИ CYGNAL

А.А.Шевурдин, ОДО «ПремьерЭлектрик». E-mail: info@premier-electric.com

В июне этого года компанией Cygnal Integrated Products анонсирована микросхема, имеющая маркировку CP2110. Этот чип – недорогой, высокоинтегральный, однокристальный преобразователь интерфейсов USB – UART. Актуальность появления такого кристалла определяется современным электронным и компьютерным рынком, на котором интерфейс USB стал фактическим стандартом соединения мультимедийных, промышленных и бытовых устройств.

Специалисты компании Cygnal уже имеют опыт разработки устройств с USB шиной. В начале этого компанией было выпущено семейство 8051 совместимых микроконтроллеров F320 со встроенным USB контроллером, стабилизатором напряжения и дополнительными аналого-цифровыми функциями (см. статью в журнале «Электроника» N1, 2003 г). Новая разработка – CP2110 – не является программируемым микроконтроллером с флэш-памятью. CP2110 – это готовый контроллер для преобразования сигналов UART в USB и обратно, не требующий программирования внутренней памяти.

Основные технические характеристики CP2110:

- встроенный контроллер USB интерфейса спецификации 2.0 со скоростями передачи до 12 Мбит в секунду (режим Full-speed);
- встроенный асинхронный последовательный контроллер с поддержкой всех сигналов модемного интерфейса. Поддерживаются 5 – 8 битные форматы передачи данных с 1 или 2 стоп битами, контролем четности, нечетности и т. д. Скорость передачи от 300 бод до 115,2 Кбод.;
- встроенный буфер принимаемого сигнала – 512 байт, передаваемого сигнала – 512 байт;
- встроенные 512 байт энергонезависимой памяти EEPROM для записи идентификационных номеров USB, названия, версии устройства и т. д.;
- полностью интегрированный приемопередатчик

USB, не требующий никаких внешних компонентов обвязки;

- интегрированный тактовый генератор на 48 МГц, не требующий подключения внешнего кварцевого резонатора;

- встроенная схема сброса и инициализации;

- встроенный стабилизатор напряжения на 3,3 В, позволяющий подключать и запитывать контроллер CP2110 непосредственно от USB шины с напряжениями от 4 до 5,25 В. Нагрузочная способность встроенного стабилизатора составляет 80 мА, тогда как собственный ток потребления CP2110 в активном режиме составляет 18 мА (и 90 мкА в режиме приостановки). Таким образом, к внешнему выводу стабилизатора могут быть подключены другие элементы схемы;

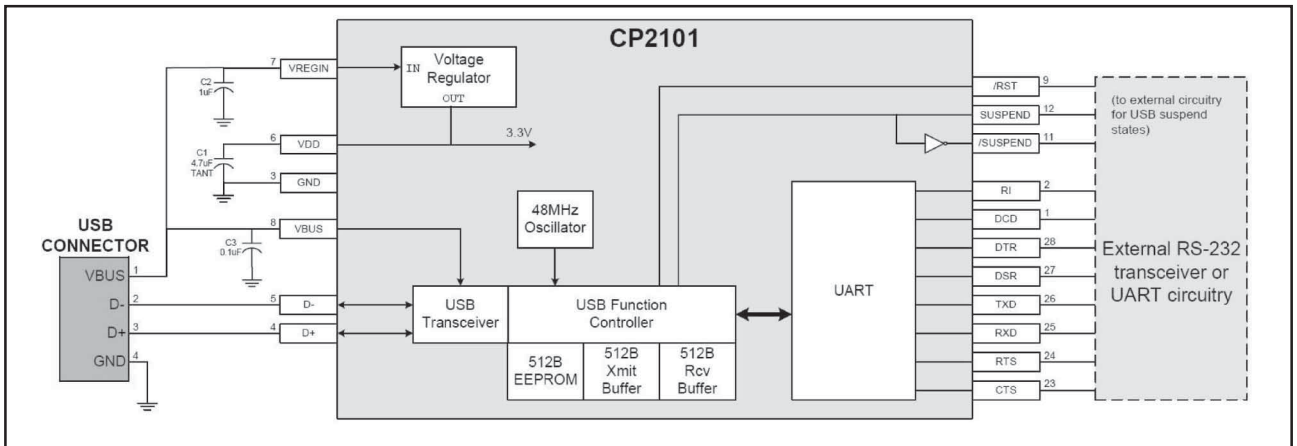
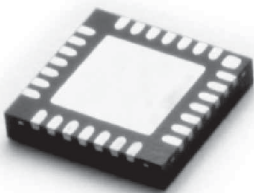
- CP2110 выполнены в миниатюрном корпусе MLP-28, размеры которого всего 5x5 мм, что позволяет разрабатывать устройства максимально компактными. Рабочий температурный диапазон контроллеров от -45°C до +85°C;

Для быстрой и удобной разработки устройств на базе CP2110 применяется комплект разработки CP2101EK. Комплект состоит из платы, с установленным контроллером CP2110, разъемами USB и DB-9 и передатчиком RS-232, комплекта кабелей USB и RS 232, а также компакт диска с драйверами для виртуального COM-порта.

Возможная область применения CP2110 очень широка. Это:

- адаптеры USB-RS232/RS422/RS485 для модернизации существующей периферии (в том числе для персональных компьютеров);
- кабели и интерфейсы для мобильных и беспроводных телефонов;
- USB аудио и видео передача данных;
- цифровые камеры, фотоаппараты, интерфейсы MP3 проигрывателей;
- портативные компьютеры, считыватели Smart Card и Flash card;
- USB модемы и системы управления;
- USB считыватели штрих кодов.

Опытные образцы контроллеров и комплекты разработки будут доступны в третьем квартале этого года.





ФОРМУЛА УСПЕХА «ЛИТОПЛАСТА»

Дарья Солдатова. E-mail: dasha@bek.by.com

Что необходимо производству сегодня, чтобы быть рентабельным? Новые технологии, современное оборудование, оборотные средства, квалифицированные кадры и грамотные, способные чутко реагировать на конъюнктуру рынка руководители. Все это есть у производственно-коммерческого общества с ограниченной ответственностью «Литопласт» (г. Заславль, Минский район).

Вот уже более десяти лет это предприятие поставляет на белорусский рынок и страны СНГ высококачественную продукцию. Ведущим направлением «Литопласта» является производство электронных комплектующих - систем управления холодильным оборудованием, блоков контроля за температурным режимом различных нагревательных элементов. Здесь также производят контрольно-испытательное и диагностическое оборудование для управления сложными технологическими процессами.

Сегодня на предприятии работает более 200 человек, из них не менее тридцати – «надомники», которые занимаются набивкой печатных плат, обработкой и сборкой пластмассовых изделий. Пластмассовое литье, кстати, одно из прибыльных направлений деятельности «Литопласта». Это более ста наименований швейной фурнитуры, полиэтиленовая упаковка и многое другое. Практически все без исключения отечественные швейные и галантерейные предприятия, а также более десятка предприятий этого профиля в СНГ - постоянные клиенты «Литопласта».

Совсем недавно «Литопласт» предложил заказчиком свою новую разработку – гибкий нагревательный провод, который может с эффективностью использоваться в различных бытовых и промышленных приборах, например, в системах антиобледенения (крыш, водостоков), для обогрева полов, водительских сидений в автомобиле, витрин магазинов и т.д.

По словам директора «Литопласта» Сергея Матвеевича Тишкевича, предприятие развивается сегодня довольно динамично, а началось все со старенькой литейной машины 11 лет назад.

— Сейчас их уже девятнадцать. Немногие могут похвастаться таким «богатством». Постепенно из основного пластмассовое производство переросло в вспомогательное и сегодня ведущим направлением стала электроника.

— Вы практически не имеете рекламаций от заказчиков по качеству продукции. Как удалось добиться такого успеха?

— Мы внедрили на нашем предприятии элементы международной системы качества ISO 9001. Это позволило осуществлять контроль на каждом этапе производства. В результате брак составляет менее 0,05 процента. Согласитесь, совсем неплохо. Могу с гордостью сказать, что мы четыре раза становились

лучшим предприятием Минского района, трижды – области. В этом году «Литопласт» назвали лучшим в Беларуси в сфере производства товаров народного потребления.

— Наверное, у вас как у директора преуспевающего производства есть своя формула успеха...

— Самое главное – это наш коллектив, все мы – одна команда. Я не принимаю серьезных решений без совета моих коллег, которые работают на «Литопласте». Я спокоен за тылы и могу, не отвлекаясь, заниматься вопросами перспективного планирования.

Мы стремимся сделать все, чтобы наши рабочие, инженеры дорожили работой. На предприятии благоприятный морально-психологический климат, достойный и стабильный уровень зарплаты.

Находим время и средства для добрых дел. Помогаем администрациям минского района и города Заславля в проведении различных культурных мероприятий, материально поддерживаем школы, детские дома, общества инвалидов, ветеранов отечественной войны. Уже 3 года шефствуем над церковью в деревне Вязань – передали приходу грузовую машину, оказываем помощь в реставрации здания.

— Руководитель знает о проблемах и недостатках... Какие они у вас?

— Разные... Например, проблема с кадрами. Предприятие находится в городе Заславле, а большинство работников – минчане. Судите сами, насколько удобно добираться до рабочих мест. Кроме того, планируется строительство нового производственного корпуса, а территории маловато. Ну, и хотелось бы побольше внимания к нам – производителям – со стороны государства. Хотя надо отдать должное властям Минского района и Заславля – они постоянно нас поддерживают.

— И в заключении несколько слов о планах по расширению производства.

— Я по гороскопу Лев, поэтому и планы у меня наполеоновские. - Сергей Матвеевич улыбается, - Если серьезно, самый перспективным направлением считаем электронику. Надеемся на укрепление деловых контактов с нашим основным партнером – Минским заводом холодильников. Несмотря на то, что пластмассовое литье считается достаточно дорогостоящим производством, эта продукция пользуется повышенным спросом. В первую очередь здесь речь идет об упаковке для пищевой и косметической продукции. И еще одно направление – расширение производства технологической оснастки – штампов, прессформ. Пока девяносто пять процентов этих изделий идет на наши собственные нужды и только пять - заказчикам. Надеемся, что в ближайшее время это соотношение станет примерно равным.



РАЗМЫКАТЕЛИ С ПЛАВКИМИ ПРЕДОХРАНИТЕЛЯМИ SILAS ФИРМЫ WEBER

E-mail: sales@dialectrolux.ru

Новое поколение размыкателей SILAS

Размыкатели нового поколения SILAS с размерами 00, 1, 2 и 3 были разработаны на основе детального изучения рынка электрооборудования и с учетом всех желаний потребителей. Их преимущества для по-

ребителей очевидны.

SILAS предлагает инновационные решения

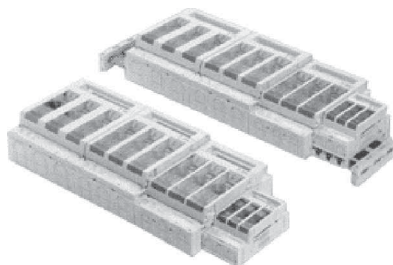
Новые модели размыкателей SILAS, предназначенные для установки на плоскость и на шины, имеют цельную крышку, размыкающую одновременно все три

Размер		DIN00	DIN1	DIN2	DIN3	
Номинальные рабочие токи Ie	A	160	250	400	630	
Номинальное рабочее напряжение Ue	B	690	690	690	690	
Номинальное напряжение изоляции Ui	B	1000	1000	1000	1000	
Максимальное импульсное напряжение Uimp	кВ	8	8	8	8	
Рабочая частота	Гц	50 ... 60	50 ... 60	50 ... 60	50 ... 60	
Категория использования в соответствии с EM 60947-3 при 500 В переменного тока при 690 В переменного тока		S AC-23 B AC-21 B	S AC-22B AC-22B	SH AC-23B AC-23B	S AC-22B AC-22B	SH AC-23B AC-23B
Условный номинальный ток короткого замыкания с защитой предохранителем	кА	50	50	50	50	
Механическая выносливость (число переключений)		1400	1400	800	800	
Электрическая выносливость (число переключений)		200	200	200	200	
Предохранитель: максимально допустимые потери	Вт	12	23	34	48	
Диапазон рабочих температур Tv	°C	-20... 60	-20... +60	-20 ... +60	-20... +60	
Степень защиты согласно стандарту IEG 529: - на лицевой стороне (глубина 32 мм); - на лицевой стороне (глубина 70 мм); - на лицевой стороне (крышка размыкателя открыта)		IP20 IP30 IP10	IP20 IP30 IP10	IP20 IP30 IP10	IP20 IP30 IP10	
Выводы: - винтовые выводы; - зажимной контакт для медных проводов; - призматический зажимной контакт для алюминиевых и медных проводов; - зажимной контакт (box terminal)	мм ² мм ² мм ²	MВ 6-70 6-70 4-70	M10 70-150 70-150 -	M10 120-240 120-240 -	M12 150-300 150-300 -	
Зажимное усилие на выводах: - винтовые выводы; - зажимной контакт/призматический зажимной контакт - вход для шин; - зажимной контакт (box terminal)	H*М H*М H*М H*М	12 3 6 4,5	20 6 6 -	20 8 8 -	30 8 8 -	

фазы, что позволяет избежать тщательной подгонки деталей корпуса и использования дополнительных расширительных частей. Размыкатели с размерами 1, 2 и 3 могут быть снабжены пластинами для гашения дуги для увеличения мощности нагрузки. Размыкатели с размером 00 помимо стандартного винтового зажима для подключения медных и алюминиевых проводов могут иметь специальный зажимной контакт-рамка (box terminal), который позволяет сократить время подключения провода к размыкателю и не использовать кабельные наконечники с «ушком». Все размыкатели SILAS опечатываются и снабжены запирающим механизмом.

Размыкатели SILAS для монтажа на шинах

Уникальность размыкателей SILAS состоит в том, что размыкатели различных размеров (00, 1, 2 и 3) имеют одинаковую глубину установки (32 или 70 мм). Это позволяет избежать использования дополнительных компенсирующих частей и делает очень простым производство размыкателей. Новые размыкатели SILAS размерами 00 с пониженными выводами разработаны для установки предохранителей на D-шины. Это предотвращает возможность беспорядочного изгиба проводов. Другим уникальным свойством явля-



ется запатентованная система, позволяющая «переставлять» подходящие к размыкателю провода сверху вниз и наоборот. Для этого требуется несколько

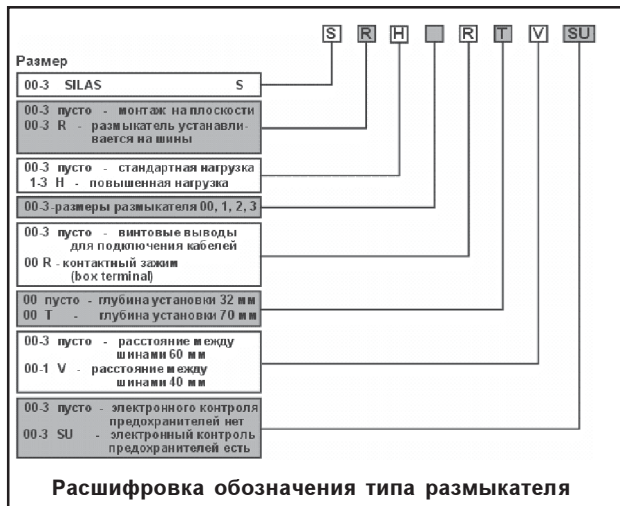
простых приспособлений. Размыкатели SILAS могут устанавливаться и закрепляться без особых усилий.

Размыкатели SILAS для монтажа на плоскости

Размыкатели для монтажа на плоскости, имеющие размеры 00, 1, 2 и 3, выпускаются с предварительно просверленными монтажными отверстиями, через которые эти размыкатели крепятся на плоскости. С помощью соответствующих аксессуаров размыкатели с размерами 00 и 1 могут крепиться на двух противоположащих рейках.

Практические аксессуары

Боковые крепежные пластины позволяют надежно закрепить боковые стенки размыкателя. Устройство электронного контроля предохранителя устанавливается непосредственно на крышку размыкателя. Установочная глубина составляет 28 мм. Если появляется неисправность предохранителя, красный светодиод, входящий в состав устройства электронного контроля, начинает мигать. Проверочная кнопка и четырехполюсный коннектор для внешней индикации размещаются на корпусе размыкателя. Пользователь может установить для



размыкателей SILAS размерами 00, 1, 2 и 3 трансформаторы тока класса 0.5s и 1 вместе с соответствующими аксессуарами. Дополнительно для большего удобства использования размыкателей к ним поставляются следующие аксессуары: крышка для выводов, индикатор позиции крышки размыкателя и т. п.

Материалы, которые используются при изготовлении размыкателей SILAS, не содержат асбеста и керамических волокон. Также они не содержат ни хлорофторокарбон (CFC), полихлородифенила (PCB) и их изомеров, ни радиоактивных материалов или ртути. Все пластиковые части размыкателей не содержат галогенных материалов, не воспламеняются и при соприкосновении с огнем не выделяют соляной кислоты.

ПОЛДЕНЬ



Профессиональный паяльный инструментарий из Германии

Микросхемы всех серий, транзисторы, диоды, тиристоры, стабилитроны, оптроны, свето-диоды и т.д., производства СНГ и стран БАПТИИ.

Микросхемы INTEL, ATMEL, ALTERA, ANALOG DEVICES, MAXIM, MOTOROLA, Burr-Brown, IR, BOURNS, HOLTEK и т.д.

Импортные транзисторы, диоды, светодиоды и т.д.

Импортные установочные изделия: разъемы, панельки, джемперы, клемники, кабель плоский (шпейф) и т.д.

ЖКИ - дисплеи, светодиодные индикаторы.

Резисторы, потенциометры, конденсаторы.

ЧИП - компоненты

Заказы по каталогу FARNELL.

Представительство НТУ "СИТ"

Тел./факс: (+375 17) 222-59-59, 222-52-92, 222-50-23

E-mail: polden@anitex.by

ДАТЧИКИ И ИНФОРМАЦИОННО-ИЗМЕРИТЕЛЬНЫЕ СИСТЕМЫ ФИРМЫ «Р И Ф Т Э К»

КРАТКИЙ ОБЗОР ПРОДУКЦИИ

Растровые датчики

Измерение перемещений, размеров, формы, деформации технологических объектов.

Модельный ряд с рабочим диапазоном: от 1 до 55 мм и дискретностью отсчета от 10 до 0.1 мкм; скорость перемещения измерительного наконечника: до 1 м/с.

Триангуляционные лазерные датчики

Бесконтактные измерения перемещений, размеров, формы, деформаций любых технологических объектов, уровня жидкостей и сыпучих материалов.

Модельный ряд с рабочим диапазоном от 1 до 500 мм; погрешность: 0.1%-0.2% диапазона; быстродействие: до 2000 измерений в секунду.

Конфокальные оптические датчики

Бесконтактное измерение размеров и перемещений с погрешностью менее 1 мкм.

Датчики угла поворота индуктивного (магниторезистивного) типа для жестких условий эксплуатации.

Разрешение: 20 угловых минут; частота вращения: до 40 об/с; рабочий диапазон температур: -60...+70 °С.

Датчики угла наклона емкостного типа. Диапазон 0...180 град; разрешение 20 угл.мин.

Лазерные сканеры для специальных применений.

Частота съема – до 500кГц, пространственное разрешение <1мм.

Магнитометры феррозондового типа для измерения трех компонент и модуля вектора индукции магнитного поля. Предназначены для неразрушающего контроля, дефектоскопии и технической диагностики. Диапазон измерения индукции магнитного поля: -2000...+2000Ам; погрешность: 0.1%.

Системы сбора, обработки и цифровой индикации данных

Автономные, многоканальные, перепрограммируемые модули для приема и преобразования сигналов с датчиков, цифровой индикации, регистрации, накопления данных и передачи их в ПК.

Электронные динамометрические ключи

Предназначены для контролируемой затяжки ответственных резьбовых соединений.

Модельный ряд с рабочим диапазоном от 10 до 1000Нм; погрешность измерения 1% диапазона; цифровая индикация; контроль поля допуска крутящего момента.

Приборы контроля геометрических параметров колесных пар

Электронные скобы для измерения диаметра колесных пар и параметров гребня. Сканирующие лазерные профилометры для снятия профиля поверхности катания. Автоматизированные системы учета износа колесных пар. Варианты исполне-

ния для колесных пар локомотивов, вагонов, метро и трамваев. Контрольно-измерительное оборудование для производства кинескопов.

Системы контроля несоосности и неперпендикулярности горловины конуса. Датчики бесконтактного контроля расстояния экран-маска. Оптические датчики контроля сборки электронно-оптических систем (ЭОС) с погрешностью измерения зазоров ±2 мкм. Машины автоматической сборки ЭОС.

Контрольно-измерительное оборудование для энергетики

Автоматизированные системы лазерной центровки узлов турбоагрегатов. Электронные скобы для контроля диаметра валов турбин. Системы контроля тепловых деформаций турбин. Аппаратура контроля факела газомазутных котлоагрегатов.

Оборудование для автоматизации дорожно-строительных работ

Аппаратура автоматического управления положением рабочих органов автогрейдеров и других строительных машин, включающая лазерный сканер слежения за копирной направляющей, датчики угла наклона, микропроцессорный модуль индикации и управления. Аппаратура слежения за полосой для разметочных машин на базе лазерного сканера. Аппаратура для измерения ровности, прочности, углов наклона и коэффициента сцепления дорожного покрытия.

Оборудование для метрологических лабораторий

Модернизация измерительных машин ДИП1...3: подключение к ПК, установка программ координатных измерений. Модернизация установок для поверки концевых мер длины 70701. Модернизация эвольвентомеров БВ-5062. Автоматизированные рабочие места для поверки измерительных головок.

Оборудование для ультразвуковой очистки

Модели с производительностью от 5 до 70000 изделий/час.

Оборудование и ПО для тренажеров и обучающих комплексов

Микропроцессорные средства сбора информации с датчиков, средства отображения состояния объектов. Программы обработки данных, формирования виртуальных миров, обучающие и контролирующие программы.

Готовятся к выпуску

- оптические (теневые) микромеры для измерения размеров стационарных и движущихся объектов. Рабочий диапазон 25 мм, погрешность ±2 мкм;

- динамометрические ключи с программированием от РС и протоколированием результатов затяжек;

- оптические датчики толщины пленок с разрешением 0,1 мкм;

- электронные компасы для систем навигации.

Беларусь, Минск,
тел/факс +375-17-2653513
e-mail: info@riftek.com
http://www.riftek.com

СОЗДАНЫ НОВЫЕ ЦИФРОВЫЕ КМОП-РАДИОКОМПОНЕНТЫ ДЛЯ БЕСПРОВОДНЫХ УСТРОЙСТВ

В июне на проходившем в Киото (Япония) симпозиуме по технологиям сверхбольших интегральных схем (VLSI) представители корпорации Intel представили информацию о новой разработке компании - «трехзатворном транзисторе», и сообщили, что работа над этой технологией переходит из фазы исследований к разработкам продукции. Новаторская трехмерная транзисторная структура позволит компании продолжать развитие процессорных технологий в соответствии с законом Мура, создавая более высокопроизводительные и экономичные процессоры будущего.

Корпорация Intel сообщила новые сведения о разработках цифровых КМОП-радиоустройств. Эти разработки позволят выпускать высокоэффективные электронные устройства с низким энергопотреблением, используя недорогие полупроводниковые производственные технологии.

Быстродействующие транзисторы - один из ключевых элементов высокопроизводительного микропроцессора. С прошлого года, когда корпорация впервые сообщила о разработках трехзатворного транзистора, специалистам Intel удалось уменьшить его размеры (длину затвора) с 60 нанометров (нм) до 30 нм. Чем меньше размер затвора, тем быстрее транзистор переключается из одного состояния в другое, и, в конечном счете, тем выше быстродействие процессора.

«Наши последние исследования показывают, что масштабируемость, производительность и великолепные производственные характеристики нашего трехзатворного транзистора дают все основания предполагать, что он будет внедрен в производство уже в 2007 году в рамках нашего 45-нанометрового технологического процесса, - заявил Сунлин Чжоу (Sunlin Chou), старший вице-президент и генеральный менеджер подразделения Technology and Manufacturing Group корпорации Intel. - Трехмерные транзисторные структуры - одно из многообещающих достижений нанотехнологии, которые помогут нам распространять принципы масштабирования и закон Мура в будущее».

В трехзатворных транзисторах корпорации Intel применяется принципиально новая трехмерная структура затвора, похожая на горное плато с обрывистыми краями. Это позволяет передавать электрические сигналы, как по верхней поверхности затвора, так и по обеим вертикальным боковым стенкам. Тем самым размеры области передачи электрического сигнала фактически утраиваются без увеличения занимаемой площади. В результате трехзатворный транзистор значительно превосходит по характеристикам применяемые сегодня планарные (плоские) транзисторы.

Трехзатворный транзистор корпорации Intel отлично подходит для массового производства, что станет ключевым фактором при переходе от стадии разрабо-

ток к внедрению в производство. Конструкция трехзатворного транзистора также решает проблему утечки тока, становящуюся все более острой по мере уменьшения размеров КМОП-устройств. Благодаря своей уникальной структуре трехзатворный транзистор имеет значительно меньшие утечки тока, чем плоский транзистор того же размера. Сегодня работа над технологией трехзатворных транзисторов в корпорации Intel перешла из стадии исследований на стадию проектирования. На заводе корпорации Intel по выпуску 300-миллиметровых подложек в Хиллсборо, штат Орегон (Fab D1C) уже изготовлены первые работающие экспериментальные устройства.

Исследования корпорации Intel в области КМОП-радиосхем

На симпозиуме VLSI были представлены новые результаты исследований корпорации Intel в области цифровых полупроводниковых радиосхем, цель которых - ускорить конвергенцию вычислительных и коммуникационных технологий за счет изготовления радиосхем в рамках экономичного КМОП-процесса, применяемого для массового производства микропроцессоров и наборов микросхем. Ожидается, что в будущем такие радиосхемы, встраиваемые в полупроводниковые компоненты Intel, позволят оснастить средствами беспроводной связи любой из таких компонентов.

Исследователи Intel сообщили об успешном создании высококачественного генератора опорного сигнала с частотой 5 ГГц (частота, на которой работают беспроводные сетевые устройства стандарта 802.11a) с использованием стандартной КМОП-технологии. Этот же сигнал с частотой 5 ГГц может использоваться для выработки сигнала с частотой 2,4 ГГц (рабочая частота сетей 802.11b и 802.11g). Генератор опорного сигнала - это «метроном», задающий частоту принимаемых и передаваемых устройств радиосигналов. Специалисты корпорации Intel разработали синтезатор сигнала с тактовой частотой 10 ГГц, который позволит существенно увеличить скорость переключения радиоустройств с канала на канал по сравнению с существующими решениями. Возможность быстрого переключения каналов поможет радиоустройствам находить и использовать оптимальные участки частотного спектра для каждой конкретной ситуации. В конечном счете это должно привести к повышению пропускной способности, расширению зоны охвата и росту надежности беспроводных соединений.

До сих пор базовые радиокомпоненты создавались исключительно на основе аналоговых технологий. Однако специалисты Intel создали генератор и синтезатор сигналов, используя 0,18-микронный цифровой КМОП-процесс. Интегрируя аналоговые радиокомпо-

ненты в процесс производства цифровых интегральных схем, корпорация Intel ставит себе целью снижение затрат на оснащение будущей продукции средствами беспроводной связи.

Высокопроизводительные схемы с низким энергопотреблением

Корпорация Intel представила ряд докладов о проектировании высокопроизводительных электронных устройств с низким энергопотреблением. По мере уменьшения размеров транзисторов становятся все

более актуальными такие проблемы, как потери энергии в результате утечек, рассеяние тепла и разброс параметров транзисторов. Исследователи Intel разрабатывают технологии, направленные на минимизацию этих проблем, а также методики повышения эффективности вычислительных устройств, позволяющие снизить их энергопотребление и тепловыделение. Конечная цель состоит в том, чтобы продолжать движение вперед в соответствии с законом Мура, одновременно создавая основу для снижения энергопотребления вычислительных устройств.

УЧАЩИЕСЯ ИЗ БЕЛАРУСИ, РОССИИ И КАЗАХСТАНА ДОБИЛИСЬ БЛЕСТЯЩИХ РЕЗУЛЬТАТОВ НА ВСЕМИРНОМ СМОТРЕ НАУЧНО-ТЕХНИЧЕСКОГО ТВОРЧЕСТВА ШКОЛЬНИКОВ INTEL ISEF-2003

Блестящих результатов добились учащиеся из Беларуси, России и Казахстана на Всемирном смотре научно-технического творчества школьников Intel ISEF-2003 – крупнейшем, единственном в своем роде международном мероприятии столь высокого ранга для школьников возраста 13-18 лет.

Проводимые ежегодно Всемирные смотры научно-технического творчества школьников охватывают все естественные науки и помогают выявить талантливых ученых еще во время обучения в школах и колледжах, поддержать их научные изыскания. Характерно, что каждый год 10-15 процентов работ, представляемых на Intel ISEF, подкреплены заявками на патенты. В этом году почетных наград Всемирного смотра, который проходил в середине мая в Кливленде, штат Огайо (США), удостоились четверо учащихся из Беларуси, десять из России и трое из Казахстана.

Лауреаты Intel ISEF-2003:

Беларусь

- Александр Медведев, учащийся 11-го класса Лицея БГУ (г. Минск), занял третье место в номинации «Математика» и получил вторую премию Американского математического сообщества.

- Евгений Евсеенко и Максим Синькевич, учащиеся 8-го класса гимназии г.Осиповичи Минской области, заняли четвертое место в номинации «Математика».

- Иван Ковзель, учащийся 11-го класса средней школы № 64 (г. Минск), занял четвертое место в номинации «Экология».

Россия

- Денис Малышев, учащийся 11-го класса Московского химического лицея №1303, удостоился главного приза (Grand Award) в номинации «Химия», премии «Лучший проект в категории» и почетного диплома Американского химического общества.

- Сергей Иванов и Евгений Лохару (ученики 11-го класса Санкт-Петербургского научного центра «Лаборатория непрерывного математического образования»), завоевали второе место в номинации «Математика» и получили третью премию Американского математического сообщества.

- Их земляки и одноклассники Евгений Амосов и Артем Викторов также завоевали второе место в категории «Математика» и были награждены почетным дипломом Американского математического сообщества.

- Алексей Баран, учащийся 11-го класса специализированного учебно-научного центра (СУНЦ) МГУ им. Ломоносова, удостоился специальной премии компании Intel (Intel Achievement Award) за выдающиеся достижения в области математического анализа. Ему также вручен почетный диплом Американского математического сообщества.

- Андрей Татаринев, Всеволод Устинов и Василий Федосеев, ученики выпускного класса московского Лицея информационных технологий № 1533, завоевали второе место в категории «Компьютерные науки», а также получили награду за лучшее использование персонального компьютера и специальный приз компании Schlumberger за отличие в образовании (Excellence in Educational Development).

- Сергей Старков, учащийся Вятской гуманитарной гимназии г. Кирова, получил первую премию IEEE Computer Society за компьютерные исследования.

Казахстан

- Акмарал Бегжигитова и Жибек Кадырсизова, старшеклассницы Республиканской специализированной физико-математической школы-интерната, заняли четвертое место в номинации «Математика».

- Сауле Сакенова, ученица 10-го класса Международной лингвистической гимназии (г. Алма-Ата), заняла четвертое место в номинации «Климатология» и получила почетный диплом Американского метеорологического общества.

Таким образом, на долю учащихся из Беларуси, России и Казахстана пришлось львиная доля наград Intel ISEF-2003, завоеванных школьниками стран Европы, Ближнего Востока и Африки. Российские школьники принимают участие в Intel ISEF с 1998 года, а юные ученые из Беларуси и Казахстана – с 2000 года. За истекший период они завоевали десятки наград, что наглядно подтверждает высокий уровень научных школ стран СНГ.



GLOSSARY/ГЛОССАРИЙ

Продолжение. Начало в № 5,2003

AND gate (circuit) A logic circuit with two or more input variables. All inputs must be energized - or receive a signal simultaneously - for the output to be energized.

схема И, схема совпадения (схема). Логическая схема с двумя или более переменными на входе. Все входы должны возбуждаться - или получать сигналы одновременно - чтобы произошло возбуждение на выходе.

anechoic chamber (electrical) A testing enclosure in which the walls are formed of specially designed material that absorbs incident energy and prevents it from reflecting.

безэховая камера (электрический). Огороженное место для тестирования, в котором стенки выполнены из специально разработанного материала, поглощающего случайную энергию и предотвращающего ее отражение.

angstrom (measurement) A unit of linear measure equal to 10^{-10} meter. Can be used as a measure of light wavelength, or to indicate the thickness of surface films or oxides.

ангстрем (единица измерения). Единица линейного измерения, равная 10^{-10} метра. Ее можно использовать для измерения длины световой волны или толщины поверхностных пленок или окислов.

anneal (process) To heat a metal and cool slowly to relieve hardness or brittleness that may have occurred naturally or have been induced by pressure or bending.

отжиг (процесс). Нагрев металла и его медленное охлаждение для снятия напряжения или хрупкости, которые могут появиться естественным путем или могут быть вызваны давлением или сгибом.

anode (circuit) The positive lead or pole in batteries, plating apparatus, diodes, etc.

анод (схема). Положительный вывод или полюс в батарейках, устройствах для нанесения гальванического покрытия, диодах, и т.д.

anodize (process) Formation of a protective, insulating oxide layer on a metal (eg aluminum) by electrolytic action. Anodized finishes can be natural or any bright decorative color.

анодировать, покрывать оксидной пленкой (процесс). Формирование защитного, изолирующего оксидного слоя на металле (например, алюминии) путем электролитического действия. Покрытие может быть исходного цвета или любой другой окраски.

ANSI (abbreviation/standard) American National Standards Institute Inc. Operates a voluntary certification program.

(сокращение/стандарт) – Американский национальный институт стандартов, зарегистрированный как корпорация.

anvil (tooling) The term most commonly used within AMP

to identify that part of the crimping die - normally stationary - which positions and supports the terminal during crimping. Sometimes referred to as «nest.»

упор (инструменты). Термин очень часто используется фирмой AMP для обозначения той части пресс-формы - обычно стационарной - которая удерживает в определенном положении вывод во время обжига. Иногда называется "гнездо".

applicator, machine (tooling) Tooling used in semi-automatic or automatic machines to crimp strip-form or tape-mounted contacts, terminals, etc.

аппликатор, накладной электрод (инструменты). Инструмент, используемый в полуавтоматических или автоматических станках для обжатия (опрессовки) ленточных контактов, выводов и т.п.

Standard - Installed in a machine to produce a fixed crimp height for a particular size and type of terminal; most commonly used where tooling and product changes are infrequent.

Стандартный – устанавливается на станке, чтобы получить фиксированную высоту обжатия для вывода определенного размера и типа; чаще всего используется там, где инструментальная оснастка и продукция меняются не часто.

Miniature quickchange - Designed for quick and easy interchange with other similar applicators in a given machine. Each applicator will, in many cases, handle similar products and various wire sizes (AWG).

Миниатюрный, быстросменный – предназначенный для быстрой и простой взаимной замены с другими аппликаторами на данном станке. Каждый аппликатор во многих случаях используется для обработки похожей продукции и проводов различных размеров (AWG).

arc resistance (property) The capacity of insulating material to resist the passage of current on its surface when placed between two electrodes. Arc resistance values are given in seconds. Minimum acceptable arc resistance is approximately 115 seconds. Breakdown usually occurs as a conducting path is burned on the surface of the dielectric material.

1. переходное сопротивление в месте короткого замыкания; 2. сопротивление дуги; 3. дугостойкость (свойство). Способность изоляционного материала оказывать сопротивление прохождению тока по своей поверхности, если поместить его между двумя электродами. Величины сопротивления дуге выражаются в секундах. Допустимая минимальная величина сопротивления дуге приблизительно равняется 115 секундам. Пробой обычно возникает, когда на поверхности диэлектрического материала выжигается проводящая дорожка.

ARINC (connectors) Abbreviation for Aeronautical Radio, Inc. A commercial standards group governing connectors,





connector sizes, rack and panel configurations, etc, primarily for airborne applications. Connectors which conform to ARINC specifications are sometimes referred to as ARINC connectors.

(разъемы). Сокращение названия корпорации Aeronautical Radio. Группа коммерческих стандартов, определяющих разъемы, размеры разъемов, конфигурации монтажной стойки и панели, и т.п., в первую очередь применяемых на воздушных судах. Разъемы, соответствующие спецификациям ARINC иногда называются разъемами ARINC.

arithmetic and logic unit (ALU) (computer/system) That portion of the digital computer hardware in which arithmetic and logic operations are performed.

арифметико-логическое устройство (вычисл. система). Та часть аппаратного оборудования цифровой вычислительной машины, в которой осуществляются арифметические и логические операции.

artificial intelligence (computer) The ability of a computer to perform tasks, such as reasoning and learning, that human intelligence is capable of doing.

искусственный интеллект (компьютер). Возможность компьютера осуществлять задачи, такие как аргументация и обучение, которые способен выполнять человеческий интеллект.

artwork (process/IC) Topological pattern of an integrated circuit accurately dimensioned for use in maskmaking. Generally a multiple of final mask size, which is usually produced by a step-and-repeat camera process.

фотооригинал, фототрафарет (процесс/ИС). Топологический рисунок интегральной схемы, выполненный точно по размерам, используемый для изготовления фотошаблона. Обычно кратный размеру окончательного шаблона, который изготавливается путем последовательного пошагового экспонирования.

ASCII (computer) American Standard Code for Information Interchange. A 7-bit code used to represent 128 unique letters, numbers, and special characters. An eighth bit is used for parity.

(компьютер) – Американский стандартный код для обмена информацией. 7-битовый код, используемый для представления 128 различных букв, цифр и специальных знаков. Восьмой бит используется для проверки на четность.

ASE (abbreviation/symbol) Designation for service entrance cable, above ground use. Some constructions are suitable for underground use. Covering is flame retardant, moisture resistant, and abuse resistant.

(сокращение/символ). Обозначение для ввода абонентского кабеля, наземного использования. Некоторые конструкции удобны для подземного и использования. Изоляция термостойкая, влагостойкая и механически прочная.

ASP (abbreviation/symbol) A filled direct burial

telephone cable used in areas subject to rodent attack. It consists of a filled cable core, corrugated aluminum shield, corrugated steel tape, flooding compound and polyethylene jacket.

(сокращение/символ). Прямой подземный телефонный кабель, используемый в местах, где он может подвергнуться нашествию грызунов. Состоит из заполненной кабельной сердцевины, рифленого алюминиевого экрана, стальной рифленой ленты, заполняющего состава и полиэтиленовой обшивки.

asperities (property) Microscopic surface elevations due to surface roughness of a material.

выступ, неровность, шероховатость (свойство). Микроскопические выступы на поверхности материала.

A-spots (property) Abbreviation for asperity spot, the point of physical contact between an asperity on one surface and another surface.

(свойство). Сокращение, обозначающее место выступа, точку физического контакта между выступами двух поверхностей.

assembler (computer) A program that converts the assembly language of a computer program into the machine language of the computer.

ассемблер (компьютер). Программа, которая преобразует язык программирования Ассемблер в машинный язык.

assembly language (computer) Grouped alphabet characters, called mnemonics, that replace the numeric instructions of machine language. A computer language that has one-to-one correspondence with an assembly program.

язык ассемблер (компьютер). Сгруппированные алфавитные знаки, называемые мнемоникой, которые заменяют цифровые инструкции машинного языка.

«A» stage (of resin) (process) The condition of low molecular weight of a resin polymer during which the resin is readily soluble and fusible.

(процесс). Состояние низкомолекулярного смолистого полимера, при котором смола быстро растворяется и плавится.

ASTM (organization) American Society for Testing Materials.

(организация). Американское общество контроля материалов.

asynchronous (device/system) Not all elements of a device or system operating at the same time, nor in a predetermined sequence.

асинхронный (прибор/система). Не все элементы прибора или системы действуют одновременно, и не в заданной последовательности.

asynchronous transmission (electrical) Transmission

in which time intervals between transmitted bits may be of unequal length. Transmission is controlled by start and stop bits which frame each character.

асинхронная передача (электричество). Передача, при которой временные интервалы между передаваемыми битами могут быть неодинаковой продолжительности. Передача контролируется битами пуска и останова, которые обрамляют каждый символ.

ATE (abbreviation) Automatic test equipment.

(сокращение) – 1. (перепрограммируемая) аппаратура автоматического контроля (компонентов и систем); 2. автоматическая испытательная аппаратура.

attenuation (circuit) A reduction in power. Occurs naturally during wave travel through lines, waveguides, space, or a medium such as water. May be produced intentionally by placing an attenuator in a circuit. Amount of attenuation is generally expressed in decibels or decibels per unit of length.

1. затухание, ослабление; 2. коэффициент затухания, декремент, коэффициент ослабления (схема). Снижение мощности. Возникает естественно во время прохождения волны по линиям, через волноводы, пространство или среду. Может быть вызвано намеренно путем подключения к сети аттенюатора (ослабителя). Величина затухания обычно выражается в децибелах на единицу длины.

audio amplifier (circuit) A circuit with one or more stages designed to amplify the audio frequency range (about 20 to 20,000 Hz).

усилитель звуковой частоты, УЗЧ (схема). Схема, имеющая один или более каскадов, предназначенная для усиления частот звукового диапазона (примерно от 20 до 20 000 Гц).

autoclaves (process) Closed vessels used for vacuum pressure impregnating, high pressure curing, bonding, sealing, compressing, testing, etc.

автоклавы (устройство). Закрытые сосуды, используемые для пропитки в вакууме, под давлением, отверждения под высоким давлением, связывания (пайкой или сваркой), герметизации, сжатия, испытания и т.п.

automatic frequency control (circuit) In frequency modulated (fm) signal processing, a scheme for automatic tuning of circuitry to input signal. Often used to correct for drift in conventionally tuned circuits.

автоматический регулятор частоты (АРЧ) (схема). При обработке сигнала с частотной модуляцией (ЧМ), схема для автоматической настройки на входной сигнал. Часто используется для корректировки дрейфа в схемах с традиционной настройкой.

Продолжение следует.
Перевод Тамары Симоненко

ИП Сергиевич Н.П.

snp@open.by

т/ф. 2690552, 8-029 6844309, 6844310

Разработка и изготовление печатных плат. Высокое качество, короткие сроки изготовления. Поставка со склада в Минске материалов фирмы PETERS для производства печатных плат (защитные маски термо, фото, УФ, маркировочная краска УФ, покрывные защитные лаки и др.).

Электронные компоненты: резисторы, конденсаторы керамические, электролитические, чип, диоды, светодиоды, Филипс тиристоры, транзисторы.

Антенны ММДС 2500-2686 мГц, выход ДМВ, усиление 49 дб, шум 1 дб.



®

Лиц. №14562 до 30.06.2005

ООО «ПРОДИМПОРТ»

г. Минск

Официальный дилер АО «Альфа» (Рига)
т/ф +375 (17) 209-61-83, т +375 (17) 211-06-01
e-mail: p_port@mail.ru

<http://www.prodimport.bizland.com>

Со склада в Минске от ведущих изготовителей:

- Цифровые ИМС стандартов ALS, F, AC, HC
- Операционные усилители
- Интегральные АЦП и ЦАП
- Интегральные компараторы
- Маломощные стабилитроны (P=450 mW)
- Маломощные стабилизаторы (I=100 mA)
- Мощные стабилизаторы (I=1 A)
- Интегральные аналоговые таймеры
- ИМС для телефонии
- Мощные MOSFET для блоков питания
- Магниточувствительные ИМС
- Электролитические конденсаторы

! Бескорпусные элементы

! SMD-компоненты

КОРПОРАЦИЯ ATMEL ПРЕДСТАВЛЯЕТ НОВЫЙ ПРИБОР ИЗ СЕМЕЙСТВА ФЛЭШ-ПАМЯТИ С ПОСЛЕДОВАТЕЛЬНЫМ ИНТЕРФЕЙСОМ DATAFLASH

Корпорация Atmel анонсировала начало поставок устройств DataFlash AT45DB1282 с 128-Мбит памяти.

Последовательный доступ к данным при питании 2.7В у AT45DB1282 осуществляется через один из двух интерфейсов: последовательный интерфейс RapidS, совместимый с SPI, с производительностью 5Мбайт/сек и 8-разрядный интерфейс Rapid8 (20 МГц) с производительностью чтения 20 Мбайт/сек без задержек при переходе к следующей странице. AT45DB1282 представляет главный шаг в области флэш-памяти, предлагая инженерам-разработчикам существенно большую гибкость и эффективность по сравнению с другими общедоступными высокоемкими устройствами флэш-памяти. Данное 128-Мбит-устройство имеет самый быстрый последовательный интерфейс, а его четырехпроводность существенно упрощает разработку системы, уменьшает число выводов, потребляемую мощность и шумы от коммутации. Проектировщики систем могут использовать либо один интерфейс или оба для лучшей поддержки требований конечной системы. Данное устройство разработано с целью предоставления продвинутых функций и улучшенной функциональности в большом числе продукции, а также для уменьшения общей стоимости системы. К областям применения, где данная архитектура обладает преимуществами, относятся: трубки мобильных телефонов, персональные цифровые помощники (PDA), цифровые камеры, лазерные принтеры, приставки к электронному оборудованию, сетевые коммутаторы и маршрутизаторы, телемеханические системы, терминалы торговых точек, системы автомобильной навигации, устройства картографирования, промышленное управление, медицинские системы, системы безопасности, а также большое число беспроводных систем.

Устройство является первым среди последовательной высокоемкой, высокопроизводительной и не дорогой памяти DataFlash, которая производится по технологии Atmel e-STACTM многоуровневой ячейки (MLC) с возможностью запоминать в одной ячейке два бита информации. Объединение архитектур DataFlash, очень малый размер страницы (1056 байт для программирования и стирания), встроенные буферы статического ОЗУ, позволяющие их содержимое записывать во флэш-память, малое число интерфейсных выводов и технология памяти e-STAC позволяют выполнить решение с высокой гибкостью и низкой стоимостью. «Мощность архитектуры DataFlash заключается в ее универсальности. Большинство инженеров-проектировщиков объединяют и память данных и память программ в одном устройстве. Последовательное ЭППЗУ также доступно в DataFlash, как возможность побайтной модификации в встроенном ОЗУ», - пояснил Дирк Франклин, директор по маркетингу DataFlash.

Малое число выводов интерфейсов RapidS и Rapid8 позволяет легко подключиться к процессору или контроллеру непосредственно или с помощью одной команды пакетного считывания из DataFlash сделать копию в «тенево» синхронном динамическом или статическом ОЗУ при подаче питания в целевом устройстве и дальнейшего выполнения программы в ОЗУ. Преимуществами теневого кода, хранящегося в DataFlash, является множество особенностей, начиная с маловыводного интерфейса, малого тока потребления при чтении (10...12 мА) и хранения изображений в сжатом состоянии для уменьшения требуемого объема флэш-памяти. Использование команд непрерывного считывания массива всего устройства (132 Мбит) позволяет выполнить выгрузку данных за 0.9 с.

Последний представитель семейства DataFlash обладает новыми особенностями для простого проектирования системы. 128-байтный регистр безопасности добавлен для повышения безопасности конечного изделия. Данный регистр содержит 64-байта программируемых пользователем и 64 байта индивидуального кода-идентификатора устройства. AT45DB1282 также поддерживает спонсированный Atmel и недавно утвержденный комиссией JEDEC стандарт по идентификации производителя и устройства для последовательной флэш-памяти.

Семейство DataFlash включает устройства емкостью памяти от 1 Мбит до 128 Мбит и поставляет надежные решения для хранения и программного кода данных при малом числе выводов и габаритах корпуса для минимизации стоимости всей системы. Для конечных пользователей высокоплотная DataFlash предлагает улучшенные особенности устройств такие как более насыщенные цветами изображения, многоязыковая поддержка, сообщения, изображения, доступ к интернет через мобильные телефоны. Для пользователей телекоммуникационных систем появится возможность использовать более интеллектуальные, более быстрые маршрутизаторы и более эффективные коммутаторы в сетевых приложениях.

Производственные образцы 128 Мбитных устройств доступны сейчас в 44-выв. корпусах CBGA (8мм x 12мм) или 40-выв. корпусе TSOP тип 1.

Набор программного обеспечения DataFlash (DFSS) поддерживает все типоразмеры DataFlash файловой системы, ECC, выравниванием данных для равномерного износа ячеек, а также компрессией/декомпрессией данных, что является ценным инструментом для быстрого вывода разработок на рынок. Модели VHDL и Verilog доступны для всей номенклатуры DataFlash в программном обеспечении фирмы Denali (www.denali.com). Программная поддержка также обеспечивается главными лидерами в этой сфере, в т.ч. Data I/O, BP Microsystems, System General и Needhams.



БЕСПРОВОДНЫЕ ИНФОРМАЦИОННО-ВЫЧИСЛИТЕЛЬНЫЕ СЕТИ

Л.Н. Величко, Л.П. Качура, Ю.Н. Метлицкий, В.О. Чернышев. E-mail: velichko@belsoft.by

Бурная компьютеризация, охватившая многие отрасли народного хозяйства РБ и их субъектов, повлекла за собой быстрое развитие территориально-распределенных информационно-вычислительных сетей (ИВС) различного назначения, масштаба и иерархического уровня. Разработка и широкое внедрение ИВС привела к дефициту проводных каналов связи.

Использование проводных линий связи связано с низкой скоростью передачи информации и высокой стоимостью арендуемых каналов. Развертывание оптоволоконных сетей связано с определенными трудностями, требует значительных капитальных вложений и постоянных долговременных эксплуатационных затрат. С помощью проводных линий невозможно организовать связь с мобильными объектами. Кроме того, прокладка кабеля часто влечет за собой значительные затруднения:

- трудность, а порой и невозможность получения разрешения на прокладку кабеля (особенно в городских условиях);
- отсутствие возможности получения в аренду телефонных линий связи от оператора либо плохое качество передачи сообщений по арендуемым каналам связи;
- использование существующих коммуникаций, которые из-за высокой загруженности уже не могут справиться с новым дополнительным трафиком.

В некоторых случаях при наличии непреодолимых преград (болотистая местность, водные пространства, скальный грунт, подземные коммуникации и т.п.) для прокладки кабельных сетей единственным решением вопроса высокоскоростной коммуникации сообщений является использование беспроводных каналов связи.

Инструментальную основу беспроводного канала передачи информации в ИВС составляют:

- спутниковые каналы связи;
- оптические каналы связи с использованием лазеров инфракрасного диапазона длин волн;
- радиорелейные линии связи СВЧ диапазона;
- пакетная радиосвязь;
- радиосети передачи данных, использующие технологию расширения спектра DSSS и FHSS;
- сотовые сети связи с коммутацией каналов;
- радиосети сбора телеметрической информации;
- мостовая связь для объединения локальных ИВС;
- транковые системы связи;
- пейджинговая радиосвязь.

При использовании беспроводных средств связи являются следующие возможности:

- создание узлов сетей, удаленных от кабельных линий на десятки километров и обслуживающих пользователей в радиусе от 10...15 до 50...70 км;
- объединение удаленных локальных ИВС и рабо-

чих станций в единую сеть передачи информации по радио или воздушному оптическому каналу;

- объединение между собой двух пользователей кабельной сети на труднопроходимом участке;
- соединение АТС между собой беспроводными скоростными каналами связи;
- создание территориальных сетей передачи информации на базе беспроводных узлов микросотовой архитектуры, беспроводных узлов-ретрансляторов и т.д.;
- решение проблемы «последней мили»;
- подключение к локальным сетям подвижных объектов;
- сбор телеметрической информации и управление субъектами, расположенными на обширной территории.

Среди преимуществ в построении сетей передачи информации с применением беспроводных решений следует выделить:

- возможность альтернативы использования арендованных линий связи;
- оперативность развертывания, что критично при высоких требованиях к скорости монтажа и создания сети;
- отказ от дорогостоящих работ по прокладке кабеля;
- отказ от дорогостоящей аренды уже существующих каналов связи;
- высокая экономическая эффективность;
- возможность подключения мобильных объектов;
- гибкость архитектуры сети, мобильность оборудования, а вместе с тем и самого канала связи;
- использование широкополосной, шумоподобной модуляции, позволяющей получить надежные помехозащищенные каналы связи;
- организацию связи по стандарту IEEE 802.11.b.

Из недостатков следует отметить ограниченную погодными условиями дальность связи при применении инфракрасных лазеров, необходимость в большинстве случаев прямой видимости и проведения работ по легализации (сертификации, лицензировании) сети с использованием беспроводных радиоканалов передачи информации.

Сравнительная характеристика проводных и наиболее часто применяемых беспроводных систем связи приведена в таблицах 1 и 2.

Большинство беспроводных устройств поддерживают конфигурацию Ethernet. С физической точки зрения, при организации беспроводной сети используются или схема точка-точка (point-to-point), или сети работают в режиме многоточечного доступа (point-to-multipoint). В первом случае связь обеспечивается между двумя удаленными друг от друга устройствами, во втором – в сеть объединяются несколько устройств.

При создании сетей на беспроводной инструментальной платформе передачи сообщений особое зна-



Таблица 1.

Проводные системы	Оптические системы Optolan
Монтаж и прокладка требуют много времени	Внедрение системы происходит без задержек на прокладку каналов
Высокие затраты на прокладку каналов	Низкая себестоимость каналов
Возможность контактного и бесконтактного несанкционированного доступа в канал	Повышенная защищенность от несанкционированного доступа, скрытость передачи
Возможность случайного или целенаправленного повреждения канала	Низкая вероятность повреждения канала
Невозможность модернизации каналов без их замены	Возможность быстрой модернизации каналов
Повышенные затраты на обслуживание	Невысокие затраты на обслуживание

Таблица 2.

Радиосистемы	Оптические системы Optolan
Необходимость регистрировать частоту	Нет необходимости регистрировать частоту
Значительная перегруженность радиодиапазона	Диапазон полностью свободен
Невозможность одновременной работы двух и более систем без потери качества из-за перекрестных помех	Узконаправленность канала, позволяющая разместить совместно произвольное количество систем, работающих одновременно без взаимных помех
Повышенная мощность энергопотребления за счет изотропного излучения передатчика и относительно низкой чувствительности антенны приемника	Низкая мощность энергопотребления
Канал свободно прослушивается дистанционно	Невозможность внешнего прослушивания канала
Узость доступного диапазона частот ограничивает скорость передачи	Высокая скорость передачи информации

чение приобретают вопросы защиты информации и обеспечения безопасности ИВС. Защищенность процессов обмена сообщениями по беспроводному каналу связи от несанкционированного доступа в ИВС может быть обеспечена на нескольких уровнях:

1. Использование в радиоканале технологии Direct Sequence Spread Spectrum (DSSS) – шумоподобного сигнала с широким спектром и малой амплитудой. Мощность сигнала DSSS распределена в широкой полосе частот, отводя меньшую ее часть на каждый герц полосы пропускания. Это позволяет устойчиво работать даже при сильной узкополосной помехе, а обычный приемник может даже не определить наличие сигнала, так как в его полосу попадает незначительная часть мощности сигнала DSSS.

2. Работать совместно могут только те устройства, которые имеют одинаковое значение индикатора Service Set Identification (SSID), на основе которого генерируется код псевдослучайной последовательности радиотракта. Их можно сконфигурировать двумя способами: так, чтобы связываться могли любые пользователи, либо так, чтобы при установлении соединения запрашивалось сетевое имя SSID.

3. Возможность выбора полосы частот, в которой работают устройства. В диапазоне 2,4-2,4835 ГГц может существовать до 13 радиоканалов шириной 22 МГц (одновременно не более трех). Устройства, работающие в разных каналах, друг друга «не видят».

4. Применение остро направленных антенн.

5. Шифрация трафика 40-битным или 128-битным Wired Equivalent Privacy (WEP) ключом. WEP – это факкультативный механизм шифрования полезной нагрузки пакетов, основанный на использовании алгоритма RC-4. Пакеты зашифровываются, используя один из 4 введенных ключей. Каждый узел в ячейке радио должен знать все ключи, но для передачи данных используется только один. Точку доступа (или мост) можно сконфигурировать таким образом, чтобы она либо никогда не использовала метод WEP, либо, наоборот, использовала его всегда. В последнем случае пользователю направляется зашифрованный запрос. Если пользователь отвечает на него неправильно, он не получает разрешения на использование точки доступа, что, по существу, равносильно применению ключа WEP в качестве еще одного пароля.

6. Возможность фильтрации пакетов по MAC-адресу.

7. Некоторые ведущие производители предлагают свои решения проблемы масштабируемости аутентификации пользователей. Во всех используемых в этих решениях схемах пользователь посылает точке доступа запрос на инициализацию процедуры аутентификации. В свою очередь, точка доступа пересылает этот запрос серверу Remote Authentication Dial-In User Service (RADIUS). Выполнив процедуру аутентификации, сервер RADIUS высылает пользователю через точку доступа уникальный ключ шифрования на текущий сеанс связи.

ПОМЕХОУСТОЙЧИВАЯ СХЕМА ЗАПУСКА ИГНИТРОНА

В.К. Гончаров, В.В. Захожий, В.В. Макаров.

При проведении исследований с интенсивными магнитными полями [1], сильноточными диодными ускорителями заряженных частиц [2], магнитоплазменными компрессорами [3,4] и генераторами импульсных плазменных потоков большой мощности [5,6] необходимо использовать плазменные замыкатели с малым внутренним сопротивлением, способные пропускать токи величиной до сотен килоампер.

В качестве таких замыкателей чаще всего применяют простые и дешевые плазменные замыкатели на основе тригатронов, работающих в атмосфере окружающей среды. Однако изменение параметров окружающей среды, таких как температура, влажность, давление, наличие пыли и т.д., приводит к изменению параметров срабатывания тригатрона и как следствие к нестабильному запуску экспериментального оборудования, что является весьма нежелательным.

В таких случаях целесообразно использовать более дорогие, но более стабильные в работе замыкатели – игнитроны, параметры которых практически не зависят от параметров окружающей среды.

Для получения интенсивных импульсных магнитных полей в качестве замыкателя нами был использован игнитрон ИРТ-6, у которого рабочее напряжение находится в пределах 0,1 – 25кВ, а рабочие токи – до 100кА.

Однако к пусковому импульсу данного игнитрона предъявляются достаточно жесткие требования: амплитуда импульса – 1500 – 3000В, ток 150 – 300А, крутизна фронта 5 – 7кВ/мкс при длительности импульса

по двум причинам. С одной стороны, тиристорные схемы весьма чувствительны к электромагнитным помехам, с другой – получение высоковольтных импульсов связано с использованием последовательно соединенных тиристоров или с применением повышающих импульсных трансформаторов.

Использование последовательно соединенных тиристоров существенно усложняет управление пуском и в то же время понижает помехоустойчивость схемы. Применение повышающего импульсного трансформатора затруднено из-за двух противоречивых условий. Для передачи достаточно длительного импульса необходимо иметь большую индуктивность трансформатора и в то же время передача крутого переднего фронта импульса требует применения трансформатора с малой индуктивностью. Кроме того, необходимо учитывать тот факт, что при рабочих токах 200А необходимо использовать сердечник импульсного трансформатора значительных размеров. С учетом изложенного, мы использовали для формирования пускового импульса игнитрона ИРТ-6 тиратрон с холодным катодом ТХИ1-1000/2,5 путем гальванического соединения его с пусковой цепью игнитрона. В этом случае удалось выполнить все требования к пусковому импульсу игнитрона. Импульс запуска тиратрона ТХИ1-1000/2,5 формируется с помощью тиратрона ТГИ1-3/1. Общая электрическая схема запуска игнитрона представлена на рисунке 1.

В обычном состоянии ТГИ1-3/1 заперт напряжением 15В через делитель R1, R2. При подаче на вход импульса напряжением > 15В ТГИ1-3/1 открывается и через низкое внутреннее сопротивление тиратрона, а также делитель R4, R5 разряжается конденсатор C1, предварительно заряженный через делитель R31, R41, R42 до 800В. С нижнего звена делителя R4, R5 снимается импульс синхронизации амплитудой 30В, предназначенный для запуска какой-либо исследовательской аппаратуры, например, осциллографа. С верхнего звена делителя импульс амплитудой 800В, про дифференцированный цепочкой C3, R6, открывает ТХИ1-1000/2,5, через низкое внутреннее сопротивление которого разряжается конденсатор C2, предварительно заряженный через R32 до 1500В. Импульс с ТХИ1-1000/2,5, удовлетворяющий всем требованиям, подается на поджигающий электрод ИРТ-6, в результате чего в игнитроне развивается разряд между анодом и катодом.

Так как тиратрон ТГИ1-3/1 заперт отрицательным напряжением на сетке (в рассматриваемом случае – 15В), то вероятность запуска всей схемы сигналами помехи по входу достаточно мала. Следует заметить, что величину запирающего напряжения можно изменять в зависимости от условий эксперимента. Неконтролируемый запуск схемы по анодным цепям практи-

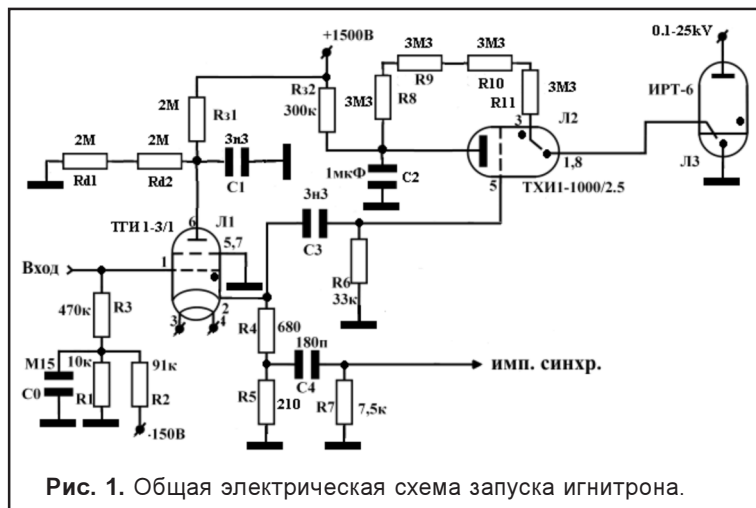


Рис. 1. Общая электрическая схема запуска игнитрона.

~ 10мкс. Кроме того, источник пускового сигнала должен быть достаточно устойчив к воздействию существенных внешних электромагнитных сигналов, которые, как правило, присутствуют в экспериментах, связанных с коммутацией высоковольтных сильноточных источников.

Использование для формирования такого пускового импульса тиристорных схем существенно затрудняется

чески невозможен, т.к. анодные цепи тиратронов шунтированы емкостными фильтрами. Источниками питания всей схемы служат простые однополупериодные выпрямители без стабилизации, и несмотря на это схема устойчиво запускает игнитрон даже при напряжении на его аноде 100В, когда сетевое напряжение изменяется в пределах 170-250В.

Список литературы:

1. А.Л. Сойка. Получение униполярных сильных импульсных магнитных полей. — Мн.: БГУ, 2001. — 261с.
2. Г.А. Месяц, А.С. Насибов, В.В. Кремнев. Формирование наносекундных импульсов высокого напря-

жения. — М.: «Энергия», 1970.

3. В.М. Асташинский, А.А. Маньковский, Л.Я. Минько, А.И. Морозов. Исследование физических процессов, обуславливающих режимы работы КСПУ // Физика плазмы. 1992. Т.18. Вып.1. С. 90 — 98.
4. В.М. Асташинский. Формирование компрессионных эрозионных плазменных потоков заданного состава в плотных газах // ЖПС. 2000. Т.67. № 2. С. 229 — 233.
5. Л.Я. Минько. Получение и исследование импульсных плазменных потоков. — Мн.: Наука и Техника, 1970. — 184с.
6. Г.А. Лукьянов. Сверхзвуковые струи плазмы. — Л.: Машиностроение, Ленингр. отд-ние, 1985. — 264с.

КОМПАНИЯ FUJITSU MICROELECTRONICS АНОНСИРОВАЛА НОВЫЕ СВЕРХМИНИАТЮРНЫЕ МОДУЛИ BLUETOOTH™

С целью представить завершённое решение, в котором устранены все требования клиентов, использующих модули Bluetooth, компания Fujitsu представила модули Bluetooth MBH7BT09 и MBH7BT02A, совместимых с версией технических требований 1.1.

MBH7BT09 – Bluetooth модуль 2 класса мощности с SPP интерфейсом, который работает в 2.4ГГц диапазоне для промышленного, научного, медицинского (ISM) применения и обеспечивает выходную мощность до +4dBm и чувствительность приемника до -70dBm. В модуль входит аппаратный интерфейс УАПП (UART), стек протокола высокого уровня (L2CAP, SDP, RFCOMM) и профили последовательного порта (GAP, SPP), что уменьшает нагрузку на основной ЦПУ по сравнению с существующими HCI интерфейсами модулей Bluetooth. Эта разработка позволяет сократить усилия на разработку программного обеспечения, тем самым увеличивая скорость выхода на рынок с готовой продукцией и малыми затратами средств.

Размещенный в миниатюрном корпусе, MBH7BT09 характеризуется размерами всего 26мм x 16мм x 2.67мм и может работать при питании от источника постоянного напряжения от 2.8 В до 3.3В, при этом потребляя всего 130 мА в режиме передачи данных.

Версия MBH7BT09 с реализацией аппаратного интерфейса PCM также планируется для производства.

Модули идеально подходят для связи компьютера с принтером и монитором или беспроводной связи главного (ведущего) устройства с системами безопасности, системами накопления данных о ходе выполнения промышленных процессов, для контроля за эксплуатацией оборудования, передачи состояний важных контролируемых приборов, диагностики отказов рабочих машин.

Образцы MBH7BT09 доступны в настоящее время, а массовое производство начато в 3 квартале 2002.

Bluetooth модуль MBH7BT02A также 2 класса мощности основан на программном стандартном интерфейсе HCI и выполняет функции связи через встроенные аппаратные интерфейсы USB, UART и PCM для обеспечения высокой степени универсальности. Обе концепции USB связи, ONCI и UNCI, поддерживаются.

Модуль позволяет легко изменять программному обеспечению стек Bluetooth, тем самым обеспечивая высокую гибкость решения, где часто требуются переконфигурации и модернизации. Это свойство удовлетворяет требованиям большинства оборудования и мобильных систем, критичных к габаритам, таких как PDA, цифровые камеры, портативные уст-

ройства промышленного контроля, испытательное оборудование, контрольно-измерительная аппаратура и системы обнаружения неисправности, установка беспроводного оборудования и многое другое.

MBH7BT02A поддерживает связь с ведущим устройством через USBv1.1 полноскоростной (12Мбит/сек) интерфейс. USB интерфейс соответствует секции H:2 требований Bluetooth. Кроме того, в него входит возможность обновления программного обеспечения (DFU) через USB порт.

Модуль также поддерживает возможность связи через H4 (УАПП) с ведущим устройством. HCI УАПП передающий интерфейс соответствует секции H:4 требований Bluetooth. Модуль также осуществляет управление потоком оборудования через RS232 интерфейс. Когда УАПП используется, PCM интерфейс доступен для голосовых функций. PCM интерфейс позволяет передавать и принимать данные, используя 13-разрядный линейный формат данных посредством синхронной (SCO) связи.

Модуль может работать как ведущий при выходной частоте синхронизации до 256 кГц и как подчиненный, работая на частоте между 128кГц и 512кГц. В подчиненном режиме поддержка стандарта связи SSI позволяет организовать мультиплексированные двунаправленные аудиоканалы через одно физическое соединение. Приемник обладает номинальной чувствительностью до -80dBm.

MBH7BT02A размещен в 24-выводном микроминиатюрном корпусе для поверхностного монтажа с размерами 18.0 x 13.0 x 2.2 мм. Он работает от источника постоянного напряжения 3.3В и потребляет до 65мА (при ACL передаче данных на скорости 115.2 кбит/сек через УАПП). Уменьшение энергопотребления возможно за счет использования режима ожидания (standby) и режима полного останова (deep sleep).

Bluetooth модуль MBH7BT02A, позволяющий просто добавить внешнюю антенну, находится в массовом производстве с конца 2002 года.

Доступен также комплект разработчика MIYABI-BT02A для модуля MBH7BT02A. Он состоит из главной платы, дочерней платы для связи с главной, кабелей, антенны, блока питания, разъемов, требующихся для УАПП, USB, GPIO, проверки и CODEC, а также источник питания внешних устройств (питание через USB порт также реализовано).

Подобный комплект MIYABI-BT09 доступен и для MBH7BT09. Fujitsu также в настоящее время совершенствует программное обеспечение и инструменты для работы с комплектами MIYABI.

АРХИТЕКТУРНЫЕ ОСОБЕННОСТИ ADSP-21160 SHARC ФИРМЫ ANALOG DEVICES

Продолжение. Начало в №2, 2003 г.

В.А. Новиков, К.Г. Климович. E-mail: klimovich_k@bsu.by

АРХИТЕКТУРА ПРОЦЕССОРА 21160

Обобщенная функциональная схема процессора приведена на рис. 1.

Процессорное ядро. Процессорное ядро 21160 состоит из двух процессорных элементов, программного секвенсора, двух генераторов адресов данных (DAG1, DAG2), таймера и кэша команд.

Процессорные элементы (ПЭ). Каждый процессорный элемент (PEх и PEу), входящий в состав процессорного ядра, содержит файл регистров данных и вычислительный модуль, состоящий из АЛУ, умножителя с аккумулятором и сдвигового блока (SHIFTER).

АЛУ выполняет множество арифметических и логических операций над числами с плавающей и фиксированной точкой. Умножитель соответственно выполняет умножения над числами в этих форматах. Сдвиговый блок (SHIFTER) выполняет арифметические и логические сдвиги, манипуляцию битами и битовыми полями, извлекает экспоненту числа (при записи с мантиссой).

Все эти устройства выполняют команды за один цикл и могут работать параллельно.

Каждый ПЭ содержит 10-портовый файл регистров данных, которые пересылают данные между вычислительными блоками и шинами данных PM и DM и имеют два множества (первичное и вторичное, для быстрого переключения задач) по шестнадцать 40-битных регистров.

Поток данных через процессорные элементы является параллельным. Выход произвольного ПЭ может служить входом для другого ПЭ на следующем цикле. Ассемблер позволяет получить программисту доступ к файлам регистров данных обоих ПЭ. Оба процессорных элемента поддерживают все вычислительные

команды в режимах SISD (одна команда на данное) или SIMD (одна команда на множество данных) и соответствуют предыдущим вычислительным командам в режимах SISD (одна команда на данное) или SIMD (одна команда на множество данных) и соответствуют предыдущим процессорам 21 000-серии.

Программный секвенсор (ПС). За последовательностью выполнения команд следят четыре блока: программный секвенсор, DAG, таймер и кэш команд. Два DAG и программный секвенсор отвечают за формирование адресов при доступе к памяти.

ПС извлекает адрес команды из памяти программ (PM), контролирует метки и проверяет выполнение условий. При помощи внутреннего счетчика меток и стека меток процессор выполняет циклы до тех пор, пока значение счетчика не станет равным 0. Никаких дополнительных команд переходов и проверок не требуется.

Архитектура процессора построена так, что извлечение, декодирование и выполнение команд происходит конвейерно.

Генераторы адресов данных (DAG). DAG обеспечивают формирование адресов данных при пересылке данных между регистрами и памятью. Два DAG позволяют адресовать два операнда сразу. DAG1 отвечает за 32-битный адрес DM (памяти данных), а DAG2 – за 32-битный адрес PM (памяти программ). Каждый DAG содержит 8 регистров-указателей, 8 регистров-модификаторов и 8 регистров длины. Регистр-указатель используется при косвенной адресации и может быть изменен при помощи регистра-модификатора или до (пре-модификация) или после (постмодификация) доступа к памяти. Регистры длины используются при формировании в памяти циклических буферов данных (ЦБД), используемых в цифровых фильтрах и при вычислении преобразования Фурье. Каждый DAG имеет альтернативные регистры для быстрого переключения задач.

Прерывания. ADSP-21160 имеет 4 внешних прерывания от аппаратуры: 3 прерывания общего назначения и специальное прерывание для перезапуска (RESET). Он может также обслуживать прерывания от таймера, контроллера DMA, при переполнении ЦБД, переполнении стека, арифметических исключениях и программных пользовательских прерываниях. Для прерываний общего назначения и прерываний от внутреннего таймера процессор автоматически помещает регистры арифметического состояния и режима (MODE1) в стек при параллельном обслуживании прерывания, причем до 15 уровней вложения.

Переключение задач. Многие из регистров процессора имеют двойники, которые можно активировать при обслужива-

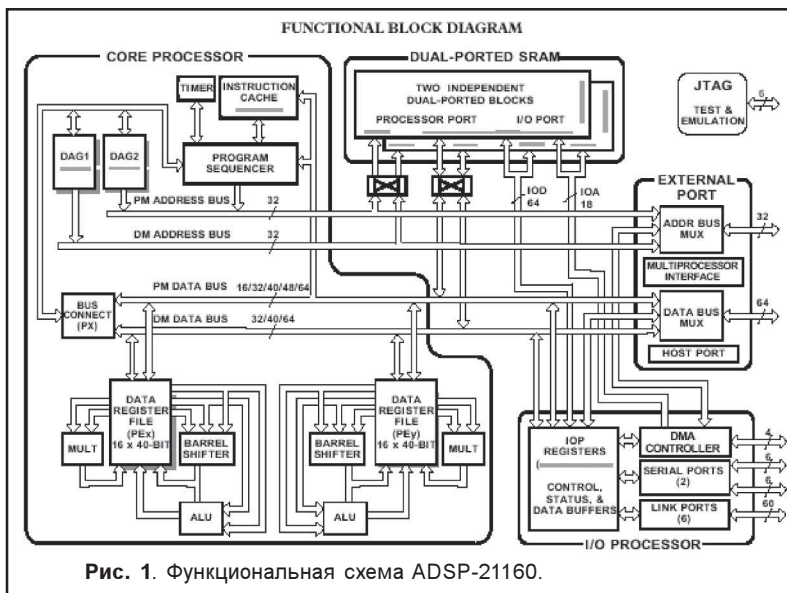


Рис. 1. Функциональная схема ADSP-21160.

нии прерываний для быстрого переключения задач. Регистры в файле регистров данных, DAG и регистр результата в умножителях имеют такие альтернативные регистры. Первичные регистры активны после RESET, а альтернативные нужно активизировать установкой специального бита в регистре контроля режима.

Таймер. Внутренний программируемый таймер обеспечивает периодическую генерацию прерываний. При активации таймер декрементирует 32-битный регистр счета на каждом цикле. При достижении нуля процессор генерирует прерывание и фиксирует окончание периода. Регистр счета автоматически загружается из регистра периода и сразу начинает счет.

Кэш команд. ПС имеет кэш команд на 32 слова, что позволяет выполнить 3 шинных команды – извлечение самой команды и двух операндов за один цикл. Кэш селективен – только инструкции, вызывающие конфликт с данными из памяти программ (PM), кэшируются.

Внутренние шины процессора. Ядро процессора имеет 6 шин: адресные шины PM, DM и IO, данных PM, DM и I/O. Благодаря расширенной Гарвардской архитектуре процессор может извлекать два операнда одновременно при условии того, что исполняемая команда помещена в кэш команд.

Разрядность шин. Шина адресов PM имеет разрядность 32 бита и позволяет адресовать при этом до 4Гслов как команд, так и данных. Шина данных PM – 64-битная и может оперировать 48-битными командами и 64-битными данными.

ША DM имеет разрядность 32 бита и позволяет адресовать при этом до 4Гслов данных. ШД PM – 64-битная и позволяет перемещать данные между любыми регистрами и памятью за один цикл. Адресация может быть осуществлена как прямо, так и косвенно (через DAG).

ША и ШД I/O позволяют процессору ввода/вывода иметь доступ к внутренней памяти процессора через DMA без задержек. ША 32-битная, а ШД – 64-битная.

Передача данных. Почти все регистры процессора классифицируются как универсальные (UREG). Команды позволяют перемещать данные между любыми UREG и памятью, причем даже управляющими, статусными и регистрами данных в файле регистров данных. Регистры соединения шины для PM (PX) позволяют передавать данные между 64-битной ШД PM и такой же ШД DM или между 40-битным регистровым файлом и ШД PM.

Периферия. Этот термин относится ко всему тому, что находится за пределами ядра процессора, и включает внутреннюю память, внешние порты, процессор I/O, порт JTAG и др.

Двухпортовая внутренняя память SRAM. ADSP-21160 содержит 4 Мбит память SRAM, организованную в два блока по 2, конфигурируемую для хранения данных и команд. Каждый блок доступен в обе стороны как ядру, так и процессору I/O и DMA контроллеру. Двухпортовость и разделение на блоки позволяет за один цикл передать данные дважды из ядра и процессора I/O.

Вся память может быть разделена на 16, 32, 48 или 64 слова. Таким образом, максимум при 32-битных данных 128 Кслов или 256 Кслов при 16 битах. Возможно и комбинированное разбиение.

Поскольку каждый блок может содержать и данные, и команды, наиболее эффективно в один помещать данные и использовать передачу по шине DM, а во второй – команды с использованием PM. Именно в таком случае и возможно вышеописанное извлечение двух операндов из памяти при условии, что команда находится в кэше. DSP также может выполнять команду за один цикл когда один операнд передается из/в вне чипа с использованием внешнего порта.

Внешний порт. Внешний порт позволяет процессору обращаться к внешней памяти и периферии. Внешнее пространство адресов объемом 4 Гслов включено в общее пространство процессора. Все внутренние шины мультиплексируются к внешнему порту для создания общей шины с 32-разрядным адресом и 64-битными данными. Внешняя память может организовываться в 16-, 32-, 48- или 64-разрядную, при этом встроенный в основной процессор контроллер DMA автоматически упаковывает внешние данные в соответствующую длину при передаче.

При декодировании адресов верхней памяти генерируется сигнал выбора адресации внешней памяти. Раздельные управляющие линии упрощают страничную адресацию DRAM.

Интерфейс хост-процессора. (HPI). HPI в 21160 позволяет легко подсоединять стандартные микропроцессорные шины (16 и 32 разрядные) практически без дополнительного оборудования. Интерфейс поддерживает асинхронную и синхронную передачу со скоростью в половину меньше внутренней частоты процессора. HPI работает через внешний порт и адреса общего адресного пространства. Для HPI доступно 4 канала DMA. Хост-процессор может прямо читать и записывать данные во внутреннюю память 21160. Вектор прерывания обеспечивает эффективное выполнение команд хост-процессора.

Процессор ввода/вывода (IOP). IOP имеет 2 последовательных порта, 6 портов линка и DMA контроллер. Один из процессов ввода/вывода позволяет осуществлять автоматическую загрузку, а именно DSP может загружаться через внешний порт (данные должны быть в 8-битной памяти типа EPROM или хост-процессоре) или через порт линка. В случае режима без загрузки DSP будет выполнять команды из внешней памяти.

Последовательные порты. В процессоре 21160 есть два синхронных последовательных порта для подключения цифровых и смешанных внешних устройств.

Они могут работать со скоростью в половину меньше внутренней частоты процессора и осуществлять прием/передачу данных независимо от его состояния. Эти порты могут автоматически передавать и принимать данные в/из внутренней памяти через DMA. Они поддерживают TDM – мультисканальный режим.

Формат передаваемых данных может быть от 3 до 32 бит. Частота передачи и синхронизация кадров может быть внутренней или внешней.

Порты линков. В процессоре 21160 есть 6 10-битных портов линка. Эти порты используются только при работе в многопроцессорных конфигурациях.

Контроллер DMA. Встроенный контроллер DMA может передавать данные и команды без вмешательства процессора. DMA работает независимо и прозрачно для ядра даже во время выполнения тем команд.

Передача данных может осуществляться между внутренней и внешней памятью, ВУ или хост-процессором, а также между внутренней памятью и последовательными портами или линками. Упаковка внешних данных в 16–64-битные слова происходит автоматически при передаче.

Всего доступно 14 каналов DMA – 6 для линков, 4 для последовательного и 4 для внешнего порта процессора. Внешний порт каналов DMA обслуживает хост-процессор, другие – ADSP 21160, память или передачу I/O.

JTAG порт. Эмуляторы, подключаемые через этот порт, позволяют отслеживать и контролировать состояние всех регистров, памяти и т. п.

ФОРМАТЫ ЧИСЕЛ

1. Формат 32-битное слово float (Normal Word).

По умолчанию (RND32=1) АЛУ и * поддерживают стандартный формат одинарной точности с плавающей точкой (float IEEE754/854).

0–22 – мантисса, 23–30 – экспонента, 31–1.

Возможно: 1) NAN-значение (не число), когда экспонента=255 (все 1), а мантисса < > 0, тогда значение не определено (для делений на 0 и т. п.);

2) +–inf (бесконечность со знаком) экспонента=255, мантисса =0;

3) +–0 (знаковый ноль) – экспонента =0, мантисса =0;

4) – 1<=экспонента<=254, мантисса любая.

2. Формат 40-битное слово float.

В нем мантисса расширяется до 32 бит (при переходе к 32-битному слову обнуляются младшие разряды).

Формат 16-битное короткое слово float.

11 бит – мантисса, 4 – экспонента, 1 – знак.

3. Формат 32-битное слово fix (Normal Word).

Биты 0–7 не важны, все ВБ читают старшие 32 бита (из 40-битных регистров).

АЛУ

Выполняет арифметические команды с фиксированной (fix) и плавающей (float) точкой и логические с фиксированными форматами, перечисленными выше.

Команды АЛУ включают такие группы:

1) float +, –, +/-, среднее;

2) fix +, –, +/-, среднее;

3) манипуляцию в формате float с мантиссой и экспонентой;

4) fix сложение с переносом, вычитание с заемом, инкрементацию и декрементацию;

5) логические сложение, умножение, инверсию, исключаящее или;

6) функции: abs, pass, min/max, compare, clip;

7) перевод чисел в разные форматы;

8) итерационные алгоритмы вычисления квадратного корня.

DAG (ГЕНЕРАТОР АДРЕСОВ ДАННЫХ)

DAG генерирует адреса для пересылаемых данных в/из память данных (DM) и память программ (PM). DAG поддерживает косвенную адресацию, позволяя избежать более медленной абсолютной. Архитектура DAG поддерживает несколько функций, минимизирующих затраты на доступ к данным: 1. Поддержка адресации с постмодификацией обеспечивает адресацию пересылаемых данных и автоинкремент адреса результата для следующей пересылки.

2. Поддержка адресации с премодификацией обеспечивает модифицированную адресацию пересылаемых данных без инкрементирования адреса результата.

3. Поддержка модифицированной адресации обеспечивает инкрементирование адресации без выполнения пересылки данных.

4. Бит-реверсная адресация обеспечивает бит-реверсную адресацию пересылаемых данных без реверсии адреса результата.

5. Поточковые пересылки данных обеспечивают двойную пересылку данных в комплементарных регистрах в каждом ВЭ для поддержки SIMD.

Каждый DAG имеет регистры 4 типов. Они содержат значения, из которых DAG генерирует адреса:

Индексные регистры (I0-I7 для DAG1 и I8-I15 для DAG2). Они содержат адреса и используются как указатели. Например, dm(I0,0) и pm(I8,0) интерпретируются как указатели;

Модифицирующие регистры (M0-M7 для DAG1 и M8-M15 для DAG2). Они обеспечивают инкрементацию или размер шага изменения адреса, на который будет изменен индексный регистр при пост- или премодификации во время регистровых пересылок. Например, dm(I0,M1) – сначала адрес результата берется из индексного I0, затем содержимое I0 модифицируется посредством M1;

Регистры длины и базовые регистры (L0-L7 и B0-B7 для DAG1 и L8-L15 и B8-B15 для DAG2) устанавливают начальный адрес и длину для циклического буфера данных.

АДРЕСАЦИЯ В DAG

Режимы адресации. Как уже было описано, DAG обеспечивают два типа адресации – пост- и премодификацию. При премодификации DAG для формирования адреса результата добавляет смещение (модификатор) из M-регистра или непосредственное значение к I-регистру. Эта операция не изменяет значение I-регистра. При постмодификации адрес результата сразу находится в I-регистре, затем (после помещения результата по этому адресу) значение I-регистра суммируется с M-регистром и помещается в I.

Различие в ассемблере для разных типов адресации заключается в позиции индекса и модификатора в команде, а именно, если I-регистр стоит перед M, то

это адресация с постмодификацией, а если M-регистр перед I, то адресация с премодификацией.

Например, $R6=PM(I15,M12)$; – это постмодификация, то есть сначала из адреса PM, указанного в I15, данное записывается в R6, а потом регистр I15 увеличивается на содержимое M12.

$R6=PM(M12,I15)$; – это премодификация, т. е. сначала к содержимому регистра I15 добавляется содержимое M12, а потом из адреса PM, указанного в обновленном I15, данное пересылается в R6.

Модифицирующие регистры M могут работать только с соответствующими индексными регистрами I (в DAG1 и DAG2).

Команды могут оперировать и непосредственными данными для модификации (не обязательно именно M-регистр). Это значение (смещение) зависит от типа команды. Для простых команд пересылки данных смещение может быть до 32 бит. При параллельных вычислениях, совмещающих DAG-адресацию и собственно вычисления, смещение до 6 бит.

Например,

$R1=DM(0x40000000, I1)$; /* 32-битное смещение, адрес в $DM=I1+0x40000000$ */

$F6=F1+F2$, $PM(I8,0x0B)=ASTAT$; /* параллельные вычисления, 6-битное смещение, адрес пересылки ASTAT в $PM=I8$, потом $I8=I8+0x0B$ */.

Заметим, что премодификация не должна нарушать адреса начала слов.

АДРЕСАЦИЯ ЦИКЛИЧЕСКИХ БУФЕРОВ ДАННЫХ (ЦБД)

DSP поддерживает адресацию ЦБД, а именно циклическую адресацию данных внутри блока памяти фиксированного размера. Для адресации ЦБД DAG пошагово изменяет индексный регистр I путем использования адресации с постмодификацией с положительным или отрицательным значением модификатора (M-регистр или непосредственное значение). Если указатель выходит за рамки ЦБД, DAG вычитает или добавляет длину буфера из/к его значению, возвращая таким образом указатель на начало ЦБД. Аппаратная поддержка ЦБД осуществляется модулем логики, а пример работы ЦБД приведен на рис. 2. При этом при такой архитектуре поддержка ЦБД возможна только с помощью адресации с постмодификацией.

Стартовый адрес, с которого начинается “прохождение” по ЦБД, называется базовым и находится он в регистре B.

Важно знать, что DAG напрямую не поддерживает отслеживание переполнения памяти сверху и снизу, т. е. если постмодифицированный адрес $I+M>0xffffffff$ или $I-M<0$, а также если длина ЦБД превысит должные размеры, то ЦБД не будет правильно работать.

Как показано на рис. 2, для работы с ЦБД необходима следующая программная последовательность:

1. Активировать ЦБД (Bit Set Mode1 CBUFEN ;). Эта команда нужна только раз.

2. Загрузить базовый адрес ЦБД в регистр B. Эта команда автоматически загружает и I-регистр.

3. Загрузить длину ЦБД в L-регистр.

4. Загрузить модифицирующее значение (шаг) в M-регистр в соответствующем DAG.

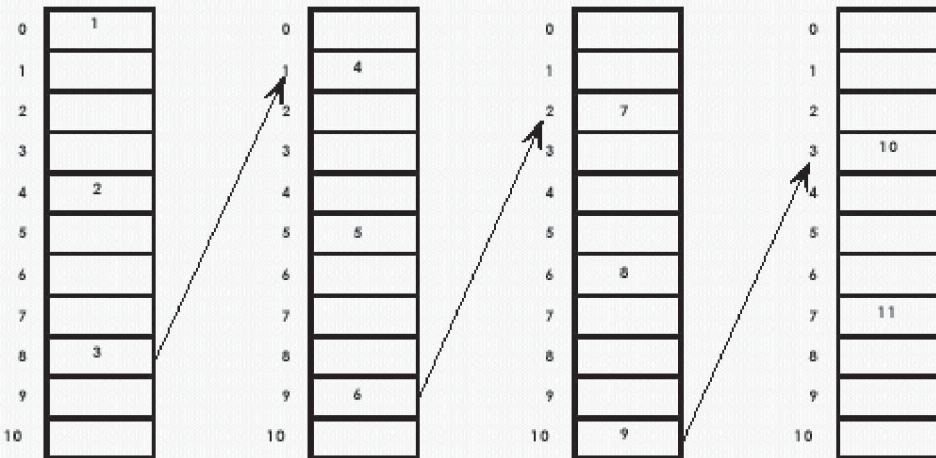
После этого DAG использует модуль логики для работы с ЦБД по довольно простому алгоритму, причем новый адрес в I-регистре зависит от его старого значения, регистров M, B и L. При этом ясно, что величина шага должна быть меньше длины буфера по абсолютному значению, но может быть и отрицательной величиной. При этом алгоритм расчета адреса, данного в модуле логики, конечно, изменяется.

Очистка бита CBUFEN отключает

THE FOLLOWING SYNTAX SETS UP AND ACCESSES A CIRCULAR BUFFER WITH:

```
LENGTH = 11
BASE ADDRESS = 0X55000
MODIFIER = 4
```

```
BIT SET MODE1 CBUFEN; /* ENABLES CIRCULAR BUFFER ADDRESSING; JUST ONCE IN PROGRAM */
B0 = 0X55000; /* LOADS B0 AND L0 REGISTERS WITH BASE ADDRESS */
L0 = 0XB; /* LOADS L0 REGISTER WITH LENGTH OF BUFFER */
M1 = 0X4; /* LOADS M1 WITH MODIFIER OR STEP SIZE */
LCNTR = 11, DO MY_CIR_BUFFER UNTIL LCE; /* SETS UP A LOOP CONTAINING BUFFER ACCESSES */
R0 = DM(I0,M1); /* AN ACCESS WITHIN THE BUFFER USES POST MODIFY ADDRESSING */
... /* OTHER INSTRUCTIONS IN THE MY_CIR_BUFFER LOOP */
MY_CIR_BUFFER: NOP; /* END OF MY_CIR_BUFFER LOOP */
```



THE COLUMNS ABOVE SHOW THE SEQUENCE IN ORDER OF LOCATIONS ACCESSED IN ONE PASS. NOTE THAT "0" ABOVE IS ADDRESS DM(0X55000). THE SEQUENCE REPEATS ON SUBSEQUENT PASSES.

Рис. 2. Адресация циклических буферов данных



ЦБД для всех команд пересылки данных. DAG выполняет обычную адресацию с пост-модификацией, игнорируя значения В и L регистров. А при записи в регистр В автоматически изменяется и регистр I вне зависимости от состояния бита CBUFEN. Также и команда Modify всегда выполняет модификацию индексного регистра в соответствии с правилами ЦБД если соответствующие В и L регистры установлены вне зависимости от состояния бита CBUFEN (В 2106х ЦБД всегда активирован!).

СРЕДСТВА РАЗРАБОТКИ

Процессор 21160 поддерживается управляющей оболочкой VisualDSP, объединяющей в себе Debugger (отладчик) и интегрированную систему разработки (IDE). Поскольку отладчик и система разработки интегрированы, это позволяет легко редактировать, компилировать и отлаживать проекты.

IDE. Система разработки позволяет легко создавать, редактировать стандартным образом, просматривать исходный код файлов проекта и запускать отладчик, а также имеет высокоуровневый редактор с многоязыковой поддержкой. Включает в себя SHARC DSP C компилятор, C RTL и другие библиотеки (в том числе математическую и по ЦОС), ассемблер, линкер (позволяющий в .LDF файле описать, на какой архитектуре должен выполняться проект, как осуществлено распределение памяти и т. п.), загрузчик (позволяющий создать образ загрузки для хост-процессора, порта линка и ПЗУ), симулятор и SPLITTER.

Отладчик (Debugger). Отладчик имеет общий интерфейс для симуляторов и эмуляторов всех процессоров. Позволяет просматривать как С, так и ассемблерный код, выполнять трассировку, просматривать регистры, память программ и данных, создает генерацию входных воздействий и прерываний, а также позволяет отображать результаты.

ОТЛИЧИЯ ОТ DSP 21061

21160 стоит в одном ряду с 21060-62, однако имеет некоторые отличия в сторону улучшения производительности и архитектуры.

Расширения процессорного ядра. Вычислительная мощность у 21160 больше благодаря возросшей частоте и второму ПЭ и регистровому файлу. Второй ПЭ позволяет обрабатывать множественные данные параллельно, т. е. поддерживать SIMD.

Программный секвенсор 21160 отличается от предыдущих новой таблицей векторов прерываний, режимом SIMD стека и условных операций, а также декодированием новых команд.

Отличия есть и в DAG – извлекать и записывать адреса в них можно одновременно и в DAG1, и в DAG2, т. е. сразу 64 бита за такт. Они стали поддерживать новую карту памяти и возможность перемещения длинных слов. ЦБД может быть быстро отключен по прерыванию и включен после возвращения, при этом у него имеется бит включения ЦБД CBUFEN, ко-

торый по умолчанию сброшен в 0, поэтому для совместимости с предыдущим семейством SHARC необходимо добавлять его установку в код.

Расширения внутренней шины процессора. Шины данных для PM, DM и IO выросли до разрядности 64 бит, поэтому появились возможности перемещения данных по 64 бит между обоими регистровыми файлами и памятью. Данные между ПЭ могут быть обменены тоже за один цикл.

Расширения организации памяти. Карта памяти у 21160 и 21060 разная. 21160 поддерживает передачу двойного слова за один цикл и позволяет работать с управляющими регистрами для поддержки SIMD.

Расширения внешнего порта. Здесь тоже отличия из-за увеличения разрядности до 64 бит ШД. 21160 имеет новый синхронный интерфейс для увеличения быстродействия локальных шин. В отличие от предыдущих процессоров 21160 сбрасывает бит зависания буфера (BHD) в 0, поэтому для совместимости его нужно установить в 1.

Расширения интерфейса хост-процессора. Аналогично предыдущим по поводу разрядности ШД. Хотя 21160 поддерживает все асинхронные протоколы интерфейса хост-процессора, он имеет свой новый высокоскоростной синхронный протокол. Функция блокировки локальной шины позволяет хост-процессору первому закончить операцию, расширяя возможности контроллера DMA.

Расширения контроллера DMA. В 21160 контроллер DMA поддерживает 14 каналов DMA вместо 10 без разделения. Новый режим упаковки поддерживает расширение ШД до 64 бит.

Расширения LINK-портов. Разрядность ШД линка доведена до 8 против 4 в процессоре 21060, увеличена рабочая частота.

Расширения системы команд. 21160 обеспечивает совместимость команд снизу вверх, все инструкции, управляющие регистры и ресурсы, доступные в программной модели для 21060, доступны и для 21160. Все исключения из этого правила происходят в соответствии с тем, что новые команды и регистры являются надмножеством программной модели для 21060, их возможности были зарезервированы еще в 21060 и, может быть, изменились их символические имена.

Эти изменения в символических именах можно обойти реассемблированием с применением средств разработки для 21160 h-файлов символических имен и файлов описания линкера (Ldf). Хотя эти изменения прямо не влияют на приложения для ядра, инициализирующий код для системы и процессора I/O требует модификации.

Список литературы

1. ADSP-21160 DSP Microcomputer Data Sheet. Analog Devices Inc., 1999.

Продолжение следует.



ОДО "БелНИК и К"

Импортные и отечественные компоненты:

Разъемы (ШР, СНО, СНП, ГРППМ, СР, ОПП, РС и др.)

Микросхемы

Транзисторы

Модули

Диоды

Тиристоры

Резисторы (МЛТ 0,125; 0,25; 0,5; 1; 2 Вт; ПЭВ; ПЭВР; СП и др.)

Конденсаторы электролитические, танталовые и др.

Электромеханические, твердотельные реле

Автоматические выключатели (А, АЕ, АП)

Оптоэлектроника

Симисторы

Пускатели (ПМЕ, ПМА, ПМЛ)

15 000 наименований на складе

Под заказ минимальные сроки поставок

Импортные электронные компоненты известных мировых производителей:
BB, IR, PII, AD, TI, AMD, DALLAS, ATMEL, MOTOROLA, MAXIM, INTEL и др.

220036, г. Минск, Бетонный проезд, 21, к. 10.

Отдел сбыта: тел/факс: (017) 256-74-93, 256-57-44, 259-64-39.

Отдел снабжения: (017) 286-26-70, 259-64-39.

E-mail: belnik@infonet.by

ПОДПИСКА - 2003 !!!

ЭЛЕКТРОНИКА

Ежемесячный журнал
для специалистов

ПОДПИСНОЙ ТАЛОН

Прошу оформить подписку на журнал "ЭЛЕКТРОНИКА"

1	2	3	4	5	6	7	8	9	10	11	12
---	---	---	---	---	---	---	---	---	----	----	----

(Нужные номера зачеркнуть)

Организация

ФИО подписчика

Адрес подписчика (почтовый индекс - обязательно)

Вид деятельности

Тел/факс

Подпись/печать

Для оформления подписки заполненный купон отправлять по факсу: (375-17) 251-67-35



ДВУХЛУЧЕВАЯ АДАПТИВНАЯ АНТЕННАЯ РЕШЕТКА АВТОСОПРОВОЖДЕНИЯ ЦЕЛЕЙ И ЕЕ FPGA РЕАЛИЗАЦИЯ

И.Ю. Люзин, С.В. Курило

Рассмотрен алгоритм максимального правдоподобия для последовательной оценки амплитуды сигналов и угловых координат двух источников сигнала. Представлены схема обработки сигналов антенной решеткой и ее FPGA реализация на основе алгоритма лучеформирования, использующего алгоритм CORDIC-поворота вектора.

Устройства цифровой обработки сигналов, работающие в реальном масштабе времени, например, для акустических антенных решеток, предполагают обработку непрерывного потока входных данных. Современные FPGA матрицы позволяют реализовать обработку таких потоков с помощью вычислительной структуры конвейерного типа. Такой подход является альтернативой системам, основанным на DSP процессорах, и позволяет решать задачи фильтрации сигналов [6, 11, 13], ортогональных преобразований [8], решения систем линейных уравнений [2, 5].

Данная статья посвящена реализации двухканальной антенной решеткой, основанной на алгоритме максимального правдоподобия для комплексных амплитуд и угловых координат двух независимых источников сигнала. Операция фазирования, необходимая для лучеобразования, реализуется CORDIC-алгоритмом поворота комплексного вектора.

АЛГОРИТМ ОЦЕНИВАНИЯ

Для N-элементной антенной решеткой логарифм функции максимального правдоподобия для сигнала, формируемого плоскими волнами двух источников неизвестной формы [1] и белым шумом:

$$\ln L(\hat{\mathbf{A}}, \hat{\mathbf{a}}) = (\mathbf{X} - \mathbf{V}\mathbf{A})^H (\mathbf{X} - \mathbf{V}\mathbf{A}) \quad (2.1)$$

где $\mathbf{X} = [x_1 \ x_2 \ \dots \ x_N]^T$ – выборка входных данных (входной вектор)

$$\mathbf{V} = [\mathbf{V}(\alpha_1) \ \mathbf{V}(\alpha_2)] = \frac{1}{N} \begin{bmatrix} e^{-j\frac{N-1}{2}\alpha_1} & \dots & 1 & \dots & e^{+j\frac{N-1}{2}\alpha_1} \\ e^{-j\frac{N-1}{2}\alpha_2} & \dots & 1 & \dots & e^{+j\frac{N-1}{2}\alpha_2} \end{bmatrix}^T \quad (2.2)$$

матрица $N \times 2$ векторов фазирования, а $\mathbf{A} = [a_1 \ a_2]^T$ – вектор комплексных амплитуд. Предполагается, что ковариационная матрица шума единичная, т.е. шумовые сигналы на входах решетки не коррелированы. Вычислив градиент функции максимального правдоподобия

$$\text{grad}[\ln L(\hat{\mathbf{A}}, \hat{\mathbf{a}})] = -\mathbf{V}^H \mathbf{X} + \mathbf{V}^H \mathbf{V} \mathbf{A} \quad (2.3)$$

и приравняв его к нулевому вектору, получим выражение для оценки комплексных амплитуд

$$\mathbf{A} = (\mathbf{V}^H \mathbf{V})^{-1} \mathbf{V}^H \mathbf{X} \quad (2.4)$$

Обозначив выходные сигналы соответствующих лучеобразователей

$$\mathbf{S} = \mathbf{V}^H \mathbf{X}$$

$$\begin{bmatrix} S(\alpha_1) \\ S(\alpha_2) \end{bmatrix} = \begin{bmatrix} \frac{1}{N} \sum_{n=1}^N x_n e^{-j\left(n-\frac{N+1}{2}\right)\alpha_1} \\ \frac{1}{N} \sum_{n=1}^N x_n e^{-j\left(n-\frac{N+1}{2}\right)\alpha_2} \end{bmatrix} \quad (2.5)$$

и вычислив матрицу рассогласования

$$\mathbf{V}^H \mathbf{V} = \begin{bmatrix} 1 & F(\alpha_2 - \alpha_1) \\ F(\alpha_1 - \alpha_2) & 1 \end{bmatrix}, \quad (2.6)$$

где

$$F(\alpha) = \frac{\sin\left(\frac{N}{2}\alpha\right)}{N \sin\left(\frac{1}{2}\alpha\right)}, \quad (2.7)$$

получим конечное выражение для оценки комплексных амплитуд в виде

$$\mathbf{A} = \frac{1}{1 - |F(\alpha_1 - \alpha_2)|^2} \begin{bmatrix} S(\alpha_1) - F(\alpha_2 - \alpha_1)S(\alpha_2) \\ S(\alpha_2) - F(\alpha_1 - \alpha_2)S(\alpha_1) \end{bmatrix}. \quad (2.8)$$

Таким образом, конечная форма выражения для оценки амплитуд приводит к DSP структуре, состоящей из двух лучеобразователей и двух модулей вычитания сигналов. Каждый лучеобразователь создается соответствующим вектором фазирования, а второй сигнал, принимаемый данным лучеобразователем в области боковых лепестков диаграммы направленности (назовем его вторичным сигналом), подавляется вычитанием сигнала с выхода второго лучеобразователя с некоторым коэффициентом $F(\alpha_1 - \alpha_2)$, который зависит от углового расстояния между источниками. Отметим, что для каждого канала сигнал второго источника подавляется до уровня нуля (а не до уровня шума, как обычно в адаптивных антенных решетках). Это вызвано тем, что при выводе алгоритма мы не делали предположений о структуре сигнала, его мощности, мощности шума и др.

Оценки амплитуды корректны, если известны истинные направления на источники сигналов. Теперь перейдем к формированию итерационной процедуры подстройки направлений на источники сигналов. Подставляя в функцию максимального правдоподобия (ФМП) оценку комплексных амплитуд, получим ФМП для углов

$$\ln L(\hat{\mathbf{a}}) = \mathbf{X}^H \mathbf{X} - \mathbf{S}^H \mathbf{A} \quad (2.9)$$

Для нахождения процедуры подстройки воспользуемся градиентным методом, тогда производная ФМП по углам

$$\frac{\partial}{\partial \alpha_i} \ln L(\hat{\mathbf{a}}) = -\frac{\partial \mathbf{S}^H}{\partial \alpha_i} \mathbf{A} - \mathbf{S}^H \frac{\partial \mathbf{A}}{\partial \alpha_i}; i = 1, 2. \quad (2.10)$$

И после преобразований приходит к следующему виду



$$\text{grad}_{\vec{a}}(\ln L(\vec{a})) = \begin{bmatrix} \frac{\partial}{\partial \alpha_1} \ln L(\vec{a}) \\ \frac{\partial}{\partial \alpha_2} \ln L(\vec{a}) \end{bmatrix} = \quad (2.11)$$

$$= \begin{bmatrix} -2 \operatorname{Re} \left[a_1^* (D(\alpha_1) + a_2^* G(\alpha_2 - \alpha_1)) \right] \\ -2 \operatorname{Re} \left[a_2^* (D(\alpha_2) + a_1^* G(\alpha_1 - \alpha_2)) \right] \end{bmatrix}$$

где

$$D(\alpha_i) = \frac{\partial}{\partial \alpha_i} S(\alpha_i) = \quad (2.12)$$

$$= \frac{1}{N} \sum_{n=1}^N \left[-j \left(n - \frac{N+1}{2} \right) x_n e^{-j \left(n - \frac{N+1}{2} \right) \alpha_i} \right]$$

– взвешенная сумма выходных сигналов антенны, а

$$G(\alpha) = \frac{\partial}{\partial \alpha} F(\alpha) = \quad (2.13)$$

$$= \frac{1}{N} \sum_{n=1}^N \left[-j \left(n - \frac{N+1}{2} \right) e^{-j \left(n - \frac{N+1}{2} \right) \alpha} \right] =$$

$$= \frac{1}{2} \left[N \cdot \operatorname{ctg} \left(\frac{N}{2} \alpha \right) - \operatorname{ctg} \left(\frac{1}{2} \alpha \right) \right] F(\alpha)$$

– первая производная функции рассогласования $F(\alpha)$. Функция $D(\alpha)$ представляет собой разностную (дифференциальную) диаграмму направленности антенной решётки с нулём в направлении фазирования.

Таким образом, чтобы реализовать подстройку угла направления на источник, нужно следовать итерационной процедуре

$$\vec{a}_{k+1} = \vec{a}_k - \mu \cdot \text{grad}_{\vec{a}}(\ln L(\vec{a}_k)) \quad (2.14)$$

Это приводит к следующей DSP структуре (рис.1.), состоящей из четырёх лучеобразователей: S1, S2 – суммарные диаграммы, и D1, D2 – дифференциальные диаграммы для направлений α_1, α_2 соответственно.

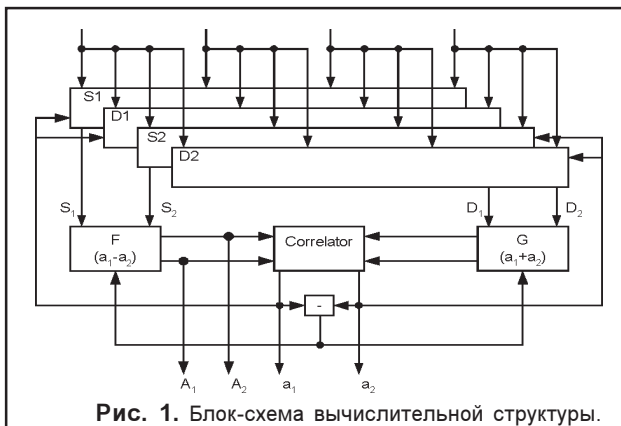


Рис. 1. Блок-схема вычислительной структуры.

Блоки $F(\alpha_1 - \alpha_2)$ и $G(\alpha_1 - \alpha_2)$ выполняют операцию подавления вторичного сигнала для суммарной и дифференциальной диаграмм. Градиент функции максимального правдоподобия вычисляется корреляцией выходных сигналов этих блоков.

CORDIC-АЛГОРИТМ ДЛЯ ОПЕРАЦИИ ПОВОРОТА ВЕКТОРА

Для формирования лучей антенной решётки (АР) необходимо выполнить операцию фазового сдвига для входных сигналов. Обычно операция фазирования осуществляется с помощью \sin/\cos преобразований или их модификаций [7]. Но это подразумевает вычисление функций \sin/\cos и перемножения. Альтернативой является использование итеративного алгоритма. Волдер [12] и Меджит [9, 10] разработали эффективный алгоритм для цифровой реализации элементарных функций. Алгоритмы и реализующие их аппаратные средства базируются на использовании итерационного метода “цифра за цифрой”. Этот метод не является новым для вычислительной математики. Он возник в начале XVII века при составлении Г. Бригсом [4] таблиц десятичных логарифмов. Основной заслугой Волдера и Меджита явилось обобщение этого метода на комплексные числа. Это позволило создать универсальную вычислительную процедуру, предназначенную как для реализации всего набора типовых, элементарных функций, так и для выполнения основных векторных операций.

В соответствии с алгоритмом Волдера для двоичной системы счисления, операция поворота вектора (X, Y) для осуществления фазового сдвига φ может быть описана следующими выражениями.

Если

$$\lim_{n \rightarrow \infty} \left(\varphi - \sum_{k=0}^n \gamma_k \arctg 2^{-(k+1)} \right) = 0, \quad (3.1)$$

то

$$X' = \frac{1}{K} \operatorname{Re} \left[(X + jY) \prod_{k=0}^{\infty} (1 - j\gamma_k 2^{-(k+1)}) \right] =$$

$$= X \cos \varphi + Y \sin \varphi \quad (3.2)$$

$$Y' = \frac{1}{K} \operatorname{Im} \left[(X + jY) \prod_{k=0}^{\infty} (1 - j\gamma_k 2^{-(k+1)}) \right] =$$

$$= Y \cos \varphi - X \sin \varphi$$

где

$$K = \sqrt{2} \prod_{k=1}^{\infty} (1 + 2^{-2k})^{1/2}$$

масштабирующий коэффициент, описывающий вынужденное удлинение вектора при повороте.

Эти уравнения ведут к следующим рекурсивным соотношениям

$$\left. \begin{aligned} \theta_{k+1} &= \theta_k - \gamma_k \arctg 2^{-(k+1)} \\ \gamma_k &= \operatorname{sign} \theta_k \\ x_{k+1} &= x_k + \gamma_k y_k 2^{-(k+1)} \\ y_{k+1} &= y_k - \gamma_k x_k 2^{-(k+1)} \end{aligned} \right\}, k = 0, \dots, N-1 \quad (3.3)$$

с начальными условиями $\theta_0 = \varphi, x_0 = x, y_0 = y$.

Конечное значение компонент вектора (x_N, y_N) после N итераций



$$\begin{aligned} \varphi_N &= \varphi - \theta_{k+1} \\ x_N &= K_N (x \cos \varphi_N + y \sin \varphi_N) \\ y_N &= K_N (y \cos \varphi_N - x \sin \varphi_N) \\ K_N &= \sqrt{2} \prod_{k=1}^N (1 + 2^{-2k})^{1/2} \end{aligned} \quad (3.4)$$

это новый вектор, повернутый на угол φ_N , с компонентами, домноженными на коэффициент K_N . Необходимо отметить, что алгоритм работает для углов поворота, лежащих в правой полуплоскости [3]

$$\varphi \in [-\pi/2, \pi/2] \quad (3.5)$$

поэтому перед поворотом необходимо привести входной угол к диапазону $[-\pi/2, \pi/2]$

Эта итерационная процедура может быть реализована в виде конвейера, что позволяет разработать структуры поточного вычисления для входных данных.

CORDIC РЕАЛИЗАЦИЯ ЛУЧЕОБРАЗОВАТЕЛЯ

Согласно описанному выше алгоритму, должны быть выполнены три основных операции – четыре операции лучеобразования, соответствующие двум суммарным и двум разностным диаграммам направленности, вычисление функции рассогласования, учитывающей подавление вторичного сигнала, и корреляция выходных сигналов лучеобразователей для оценки отклонения угла.

На следующем рисунке (Рис.2) представлена блок-схема лучеобразователя.

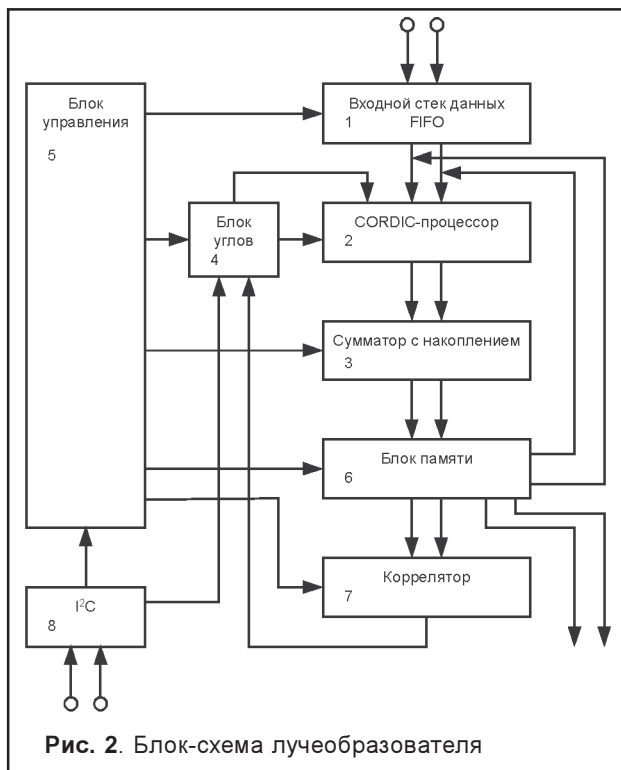


Рис. 2. Блок-схема лучеобразователя

Устройство состоит из следующих блоков – входной стек данных FIFO (1) для буферизации потока входных данных, CORDIC-процессор (2) для осуществления фазового сдвига с помощью поворота квадратурных

компонент вектора, накапливающий сумматор (3) для вычисления суммы выходных сигналов антенны, блок углов (4) для хранения и интегрирования оценок угловых координат и управляющий блок (5). Оценки выходных сигналов лучеобразователей и функций рассогласования хранятся в блоке памяти (6), который соединён с коррелятором (7), выполняющим оценку градиента согласно формуле (2.11).

CORDIC-процессор – это основная вычислительная часть представленной схемы. Для выбранной 16-битной арифметики он состоит из 17-уровневого конвейера – блок предварительной обработки для приведения фазового сдвига к диапазону $[-\pi/2, \pi/2]$, а за ним 16 последовательных элементарных CORDIC-операций.

Таблица 1. Схема загрузки CORDIC-конвейера

Clk	DATA _{IN}	DATA _{OUT}	Описание
1	X ₁ , Y ₁		Суммарная диаграмма для направления α ₁
2	X ₂ , Y ₂		
...	...		
N	X _N , Y _N	S(α ₁)	
N+1	X ₁ , Y ₁		Суммарная диаграмма для направления α ₂
N+2	X ₂ , Y ₂		
...	...		
2N	X _N , Y _N	S(α ₂)	
2N+1	X ₁ , Y ₁		Дифференциальная диаграмма для направления α ₁
2N+2	X ₂ , Y ₂		
...	...		
3N-1	X _N , Y _N	D(α ₁)	
3N	X ₁ , Y ₁		Дифференциальная диаграмма для направления α ₂
3N+1	X ₂ , Y ₂		
...	...		
4N-2	X _N , Y _N	D(α ₂)	
4N-1	Re, Im[S(α ₁)]		Суммарная диаграмма для направления α ₁ , умноженная на F(α ₁ -α ₂)
4N	Re, Im[S(α ₁)]	K·S(α ₁)	
...	...	·F(α ₁ -α ₂)	
5N-2	Re, Im[S(α ₁)]		
5N-1	Re, Im[S(α ₂)]		Суммарная диаграмма для направления α ₂ умноженная на F(α ₁ -α ₂)
5N	Re, Im[S(α ₂)]	K·S(α ₂)	
...	...	·F(α ₁ -α ₂)	
6N-2	Re, Im[D(α ₂)]		
6N-1	Re, Im[D(α ₁)]		Дифференциальная диаграмма для направления α ₁ , умноженная на G(α ₁ -α ₂)
6N	Re, Im[D(α ₁)]	K·D(α ₁)	
...	...	·G(α ₁ -α ₂)	
7N-3	Re, Im[D(α ₁)]		
7N-2	Re, Im[D(α ₂)]		Дифференциальная диаграмма для направления α ₁ , умноженная на G(α ₁ -α ₂)
7N-1	Re, Im[D(α ₂)]	K·D(α ₂)	
...	...	·G(α ₁ -α ₂)	
8N-4	Re, Im[D(α ₂)]		
8N-3	Re, Im[S(α ₁)]	K·S(α ₁)	Масштабирование суммарной и дифференциальной α ₁ , α ₂ диаграмм множителем K для компенсации удлинения вектора при повороте
8N-2	Re, Im[S(α ₂)]	K·S(α ₂)	

Как показано в таблице 1, CORDIC процессор используется как для фазового сдвига входных сигналов при лучеобразовании (шаги [1, ..., 4N-2]), так и для вы-



числения функций рассогласования $F(a_1 - a_2)$, $G(a_1 - a_2)$ (шаги [4N-1, ..., 8N-4]).

Если первая операция (лучеобразование) решается последовательной загрузкой входных сигналов в CORDIC процессор для соответствующего фазового сдвига и следующего за ним накапливающего сумматора, то вторая операция требует вычисления функций рассогласования и, как минимум, двух умножений. Но она может быть выполнена сразу следующим образом. Так как значение функции $F(a)$ в точности равно значению равновзвешенной диаграммы AP в направлении a , то $K \cdot S(a)F(a)$ может быть вычислено путём загрузки в CORDIC-процессор комплексного вектора $S(a)$, аналогично и для $G(a)$.

Последние четыре шага компенсируют удлинение вектора при его CORDIC повороте.

Очевидно, что главным преимуществом такого подхода является то, что не нужно использовать перемножающие схемы (это снижает требования к аппаратуре).

Как следует из таблицы 1, временные затраты алгоритма для выполнения четырёх операций лучеобразования (2 суммарных и две разностных (дифференциальных)) и функций рассогласования $F(a_1 - a_2)$ и $G(a_1 - a_2)$ оцениваются как $T_N = 8 N \tau_0$

Устройство содержит встроенный I²C интерфейс для доступа к внутренним регистрам.

РЕЗУЛЬТАТЫ И ЗАКЛЮЧЕНИЕ

Данная статья посвящена реализации двухканальной системы управления антенной решётки. Для этого используется параллельная вычислительная структура конвейерного типа. Для уменьшения количества операций умножения (и сложности схемы, соответственно) применён метод «цифра за цифрой». А теперь кратко о ее FPGA реализации.

Рассмотренные выше алгоритм и методы могут быть реализованы в схемах, базирующихся на FPGA. Моделирование проводилось с помощью программного комплекса Leonardo

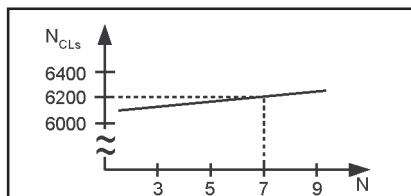


Рис. 3. Использование логических вентилях

Leonardo Spectrum для микросхемы APEX20K (EP20K200RC208) фирмы Altera (она не содержит встроенных ячеек перемножения) и дало следующие результаты. Использование



Рис. 4. Временные затраты.

логических вентилях (LCs) слабо зависит от числа элементов N антенной решетки (Рис.3.). В случае 7-элементной акустической антенной решетки коэффициент использования логических вентилях составляет около 75 процентов (6200 LCs). Увеличение N ведёт и к увеличению количеству тактов, необ-

ходимых для обработки всех входных данных (рис.4. и табл.1.), где ϕ_0 — время одного такта.

Таким образом, при значительном увеличении N мы должны использовать либо устройство (FPGA матрицу) с большей тактовой частотой и неизменной вычислительной структурой, либо более сложное устройство (FPGA матрицу большей ёмкости) с двумя или более CORDIC-процессорами, но зато на прежней тактовой частоте.

Список литературы

1. Аграновский А.Ю., Выболдин Ю.К., Решетов Л.А. Оценка угловых координат источников сигнала неизвестной формы. "Акустические средства исследования океана". Труды 2-ой Дальневосточной Акустической конференции "Человек и океан", т.4, Владивосток, 1978, сс.29-33.
2. Байков В.Д., Чуватин А.Н. Устройство для решения линейных алгебраических уравнений. Авт. св. СССР №811274, Int. cl⁷. G06F 15/34, 07.03.81.
3. Байков В.Д., Смолков В.Б. Специализированные процессоры: Итерационные алгоритмы и структуры. — М.: Радио и связь, 1985.
4. Briggs H. Arithmetika logarithmica. London, 1624.
5. Chang Jou I., «Linear Rotation Based Algorithm and Systolic Architecture for Solving Linear System Equations.» Parallel Computing, Vol. 11, 1989, pp. 367-379.
6. Deprettere, E., Dewilde, P., Udo, R. Pipelined CORDIC architecture for fast VLSI filtering and array processing. Proc.ICASSP'84, pp.41.A.6.1-41.A.6.4.
7. Despain A.M. Fourier transform computers using CORDIC iterations. - IEEE Trans. On Comp., 1974, v.23, No.10, pp.993 -1001.
8. Despain A. M. «Very Fast Fourier Transform Algorithm for Hardware Implementation.» IEEE Transactions on Computers, Vol. C-28, 1979, pp. 331-341.
9. Meggitt J.E. Digit by digit methods for polynomials. - IBM J. Of Res. And Dev., 1963, v.6, №7, pp.237-245.
10. Meggitt J.E. Pseudo division and pseudo multiplication processes. - IBM J. Of Res. And Dev., 1962, v.6, №2, pp.210-226.
11. Terre M. and Bellanger M. Systolic QRD-Based Algorithm for Adaptive Filtering and Its Implementation. Proceedings of 1993 IEEE International Conference on Acoustics, Speech and Signal Processing, Minneapolis, MN, 1993, pp. I.373-I.376.
12. Volder J.E. The CORDIC trigonometric computing technique. - IRE Trans. Electronic Computing, Vol.EC-8, Sept. 1976, pp.330-334.
13. Yu Hen Hu and Lian H. E., «CALF: a CORDIC Adaptive Lattice Filter.» IEEE Transactions on Signal Processing, Vol. 40, 1992, pp. 990-993

ПРОГРАММАТОРЫ

SEEPROM

EEPROM

EPROM

FLASH

PIC

PAL

MCU

ticom@nsys.by
http://ticom.nsys.by
+375 (17) 263-63-80

профессиональные программаторы для любых микросхем



О КОМПАНИИ FASTWEL

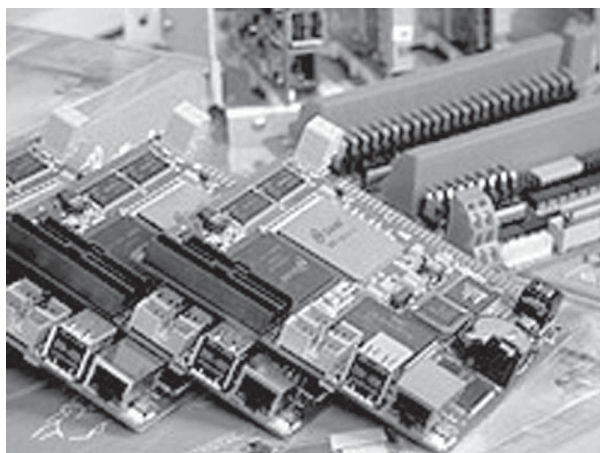
E-mail: info@fastwel.ru

Оборудование для автоматизации технологических процессов

Компания Fastwel предлагает широкую гамму аппаратных и программных средств для автоматизации технологических процессов и встраиваемых систем.

Продукция Fastwel находит применение в ответственных приложениях не только в промышленности, но и на транспорте, в телекоммуникациях и многих других отраслях, где требуется надежное оборудование, способное работать в жестких условиях эксплуатации.

Обладая большим научно-техническим потенциалом, фирма Fastwel постоянно разрабатывает новые изделия и технологии. Производственные возможности компании позволяют выпускать высококачественную продукцию, соответствующую мировым стандартам. Продукция фирмы Fastwel полностью учитывает специфику рынка стран СНГ как по набору поддерживаемых типов сигналов, так и по стойкости к неблагоприятным факторам внешней среды.



Fastwel выпускает широкую номенклатуру изделий в популярном формате MicroPC, выносные модули УСО, а также необходимый набор аксессуаров и вспомогательных изделий. Все оборудование предназначено для работы в промышленном диапазоне температур от -40 до +85С.

Приобретая продукцию фирмы Fastwel, вы приобретаете надежность, качество и высокопрофессиональную поддержку инженеров Fastwel на всех этапах жизненного цикла вашей системы.

Программное обеспечение

В области программного обеспечения Fastwel специализируется на разработке инструментальных средств АСУ ТП и драйверов аппаратуры ввода-вывода, соответствующих стандарту OLE for Process Control (OPC). Учитывая довольно высокую стоимость начальных вложений при освоении технологии OPC, для пользователей и производителей оборудования АСУ ТП создан универсальный сервер OPC, позволяющий в минимальные сроки создать полноценный сервер OPC практически для любого контроллера или УСО.

Производство

В апреле 2002 года запущена в эксплуатацию автоматизированная линия для монтажа электронных модулей любого уровня сложности, оснащенная оборудованием последнего поколения, поставленным голландской фирмой ASSEMBLEON, входящей в группу компаний PHILIPS.

С декабря 2002 года на производстве FASTWEL осуществляется 100% рентген-контроль монтажа электронных модулей. Для этого в состав технологической линии была введена уникальная для России установка рентгеновского контроля качества пайки фирмы PHOENIX-XRAY.

Фирма FASTWEL предоставляет услуги по контрактной сборке электронных модулей.



Заказные разработки

Имея большой опыт создания как серийного, так и уникального оборудования разнообразного назначения, фирма Fastwel предлагает свои услуги по разработке электронных изделий, в том числе для ответственных применений.

Наши разработки широко используются в различных системах автоматизации, на транспорте, в атомной энергетике, телекоммуникационном оборудовании и в других отраслях.

Система менеджмента качества

В соответствии с принятой целью организации: «Достичь высококачественного контрактного производства Европейского уровня» руководство ООО «ФАСТВЕЛ» приняло в середине 2002 года стратегическое решение о создании в организации системы менеджмента качества. В соответствии с этим



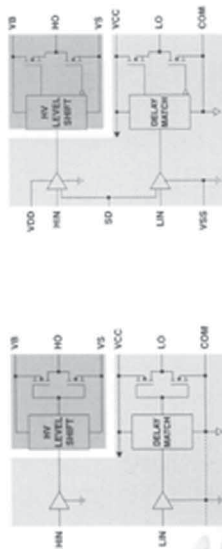
решением в организации строится система менеджмента качества соответствующая требованиям международных стандартов качества серии ISO 9000 и в середине 2003 года планируется провести сертификацию в авторитетных международных системах сертификации систем качества.



Part # Package Voltage Output Source/
(V_o) Sink Current V_{CC} Range V_{ES} Range Delay Matching Features

IR2010	14-Lead PDIP	200	±3A	10-25V with UVLO*	10ns max	1MHz operation, 3.3V-5V logic compatible Floating channel for bootstrap operation. Negative transient voltage tolerant. Matched propagation delay Outputs in phase with inputs
IR2010S	16-Lead SOIC					
IR2113	14-Lead PDIP	600	±2A	10-25V with UVLO*	10ns max	400kHz operation, Shutdown input 5V-20V Separate logic supply, Floating channel for bootstrap operation. Negative transient voltage tolerant. Matched propagation delay Outputs in phase with inputs
IR2113S	16-Lead SOIC					

* UVLO— Under-Voltage Lock Out



IR2010

IR2113

МОП-ТРАНЗИСТОРЫ И ДРАЙВЕРЫ ДЛЯ АУДИОУСИЛИТЕЛЕЙ

Product Selection by Topology

Output (W) RMS Power Part Number Max Recommended Rail Voltage (V) Recommended Gate Driver

HALF BRIDGE TOPOLOGY, 4Ω LOAD

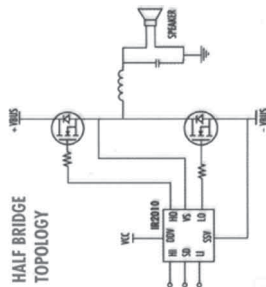
25	IRF7469	±17	—
30	IRF7341	±18	—
35	IRF7343	±20	IR2010S
50	IRFR024N	±24	IR2010S
100	IRFR4105	±33	IR2010S
150	IRFR3911	±41	IR2010S
200	IRFS30NS	±47	IR2010S
250	IRFR18N150	±53	IR2010S
400	IRFS23N150	±67	IR2010S
500	IRFS23N200	±74	IR2010S
1000	IRFS31N200	±105	IR2010S
	IRFP264N		

HALF BRIDGE TOPOLOGY, 8Ω LOAD

25	IRF7343	±24	—
30	IRF7478	±26	IR2010S
35	IRF7473	±28	IR2010S
50	IRFR3911	±33	IR2010S
100	IRF7473	±47	IR2010S
150	IRFR13N150	±58	IR2010S
200	IRFR13N200	±67	IR2010S
250	IRFS17N200	±74	IR2113S
400	IRFS23N200	±94	IR2113S
500	IRFP254N	±105	IR2113S

* MOSFET part is N/P pair and does not require a driver IC

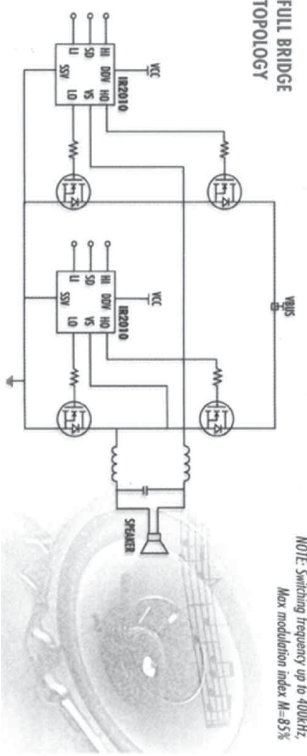
HALF BRIDGE TOPOLOGY



Product Selection by Topology, continued

Output (W) RMS Power	Part Number	Max. Recommended Rail Voltage (V)	Recommended Gate Driver
FULL BRIDGE TOPOLOGY, 4Ω LOAD			
25	IRF7317	17	—*
30	IRF7389	18	—*
35	IRF7389	20	—*
50	IRF7389	24	IR2010S
100	IRF7471	33	IR2010S
150	IRFR4105	41	IR2010S
200	IRFR4105	47	IR2010S
250	IRFR1205	53	IR2010S
400	IRFR3411	67	IR2010S
500	IRF540NS	74	IR2010S
1000	IRF5315S	105	IR2010S
2000	IRF3415S	149	IR2010S
FULL BRIDGE TOPOLOGY, 8Ω LOAD			
25	IRF7319	24	—*
30	IRF7389	26	IR2010S
35	IRF7389	28	IR2010S
50	IRF7341	33	IR2010S
100	IRFR4105	47	IR2010S
150	IRFR024N	58	IR2010S
200	IRFR2407	67	IR2010S
250	IRFR3911	74	IR2010S
400	IRF530NS	94	IR2010S
500	IRFR18N15D	105	IR2010S
1000	IRF523N15D	149	IR2113S
2000	IRF3315S	210	IR2113S
	IRF531N20D		IR2113S
	IRFP264N		IR2113S

FULL BRIDGE TOPOLOGY



MOSFETs for Audio

Part Number	Package	V _{BOSS} (V)	R _{DS(on)} @ 25°C @ 10V V _{GS} (Ω)	I _B @ 25°C (A)
IRF7471	S0-8	40	0.013	10
IRF024N	D-Pak	55	0.075	16
IRFR1205	D-Pak	55	0.027	37
IRFR4105	D-Pak	55	0.045	25
IRF7478	S0-8	60	0.022	7.6
IRFR2407	D-Pak	75	0.026	42
IRF1310NS	D-Pak	100	0.036	42
IRF530NS	D-Pak	100	0.11	17
IRFR3411	D-Pak	100	0.044	32
IRFR3911	D-Pak	100	0.115	14
IRF7473	S0-8	100	0.026	6.9
IRF3315S	D-Pak	150	0.082	21
IRFR18N15D	D-Pak	150	0.125	18
IRFR13N15D	D-Pak	150	0.18	14
IRF3315S	D-Pak	150	0.045	41
IRF523N20D	D-Pak	150	0.09	23
IRF3415S	D-Pak	150	0.042	43
IRF523N20D	D-Pak	200	0.1	24
IRFP260N	TO-247AC	200	0.04	49
IRF517N20D	D-Pak	200	0.17	16
IRFR13N20D	D-Pak	200	0.235	14
IRFP264N	TO-247AC	250	0.06	44
IRFP254N	TO-247AC	250	0.125	23

Dual MOSFETs for Audio

Part Number	Package	Circuit	V _{BOSS} (V)	R _{DS(on)} @ 25°C N-Channel (Ω)	R _{DS(on)} @ 25°C P-Channel (Ω)	I _B @ 25°C N-Channel (A)	I _B @ 25°C P-Channel (A)
IRF7317	S0-8	1 N/1 P	20	0.029	0.058	6.6	-5.3
IRF7319	S0-8	1 N/1 P	30	0.029	0.058	6.5	-4.9
IRF7341	S0-8	DUAL N	55	0.043	—	4.7	—
IRF7343	S0-8	1 N/1 P	55	0.043	0.056	4.7	-3.4
IRF7389	S0-8	1 N/1 P	30	0.029	0.058	7.3	-5.3

